

(24)

【外国語明細書】

Title of Invention

STITCH AND SELECT IMPLEMENTATION IN TWIN MONOS ARRAY

What is claimed is:

1. A method of stitching three resistive layers in a MONOS memory array to three conductive layers comprising:

providing a MONOS memory array having said three resistive layers wherein said three resistive layers are vertically stacked as a bottom, middle, and top resistive layer and wherein said bottom and middle resistive layers run in parallel to each other and wherein said top resistive layer runs orthogonally to said bottom and middle resistive layers; and periodically contacting each of said resistive layers by a respective upper conductive layer wherein said contacting is said stitching wherein said contacting comprises:

periodically connecting said middle resistive layer to a bottom conductive layer overlying said top resistive layer;

cutting said middle resistive layer to expose said bottom resistive layer;

building a contact/via stack from said exposed bottom resistive layer to a top conductive layer;

connecting cut ends of said middle resistive layer by contacting said ends of said middle resistive layer to a middle conductive layer wherein said middle conductive layer overlies said bottom conductive layer and underlies said top conductive layer and wherein said middle conductive layer loops around said contact/via stack; and

connecting said top resistive layer to said middle conductive layer.

2. The method according to Claim 1 wherein said stitching is done on alternate sets of resistive lines.

3. The method according to Claim 1 wherein said bottom and middle resistive lines are a bit line and a control gate line and wherein said top resistive line is a word gate line.

Best Available Copy

(25)

4. The method according to Claim 1 wherein said bottom and middle resistive lines are a word line and a control gate line and wherein said top resistive line is a bit-line.

5. The method according to Claim 1 wherein said stitching method reduces resistance of said MONOS memory array.

6. The method according to Claim 1 wherein said stitching method is performed within a cell size limited by a minimum metal pitch.

7. A method of stitching three resistive layers in a MONOS memory array to three conductive layers comprising:
providing a MONOS memory array having said three resistive layers wherein said three resistive layers are vertically stacked as a bottom, middle, and top resistive layer and wherein said bottom and middle resistive layers run in parallel to each other and wherein said top resistive layer runs orthogonally to said bottom and middle resistive layers; and
periodically contacting each of said resistive layers by a respective upper conductive layer wherein said contacting is said stitching wherein said contacting comprises:

periodically connecting said top resistive layer to a bottom conductive layer
overlying said top resistive layer;
cutting said middle resistive layer to expose said bottom resistive layer;
building a contact/via stack from said exposed bottom resistive layer to a top
conductive layer;

(26)

connecting cut ends of said middle resistive layer by contacting said ends of said middle resistive layer to said bottom conductive layer wherein said bottom conductive layer loops around said contact/via stack; and

connecting said middle resistive layer to a middle conductive layer wherein said middle conductive layer overlies said bottom conductive layer and underlies said top conductive layer.

8. The method according to Claim 7 wherein said stitching is done on alternate sets of resistive lines.

9. The method according to Claim 7 wherein said bottom and middle resistive lines are a bit line and a control gate line and wherein said top resistive line is a word gate line.

10. The method according to Claim 7 wherein said bottom and middle resistive lines are a word line and a control gate line and wherein said top resistive line is a bit line.

11. The method according to Claim 7 wherein said stitching method reduces resistance of said MONOS memory array.

12. The method according to Claim 7 wherein said stitching method is performed within a cell size limited by a minimum metal pitch.

13. A method of stitching resistive layers in a MONOS memory array comprising:
providing a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

(27)

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said bit diffusion junctions run in parallel and wherein said word gates run orthogonally to said control gates and said bit diffusion junctions;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

periodically connecting said control gate lines to a bottom conductive layer overlying said word gate lines;

cutting said control gate lines to expose said bit lines;

building a contact/via stack from said exposed bit lines to a top conductive layer;

connecting cut ends of said control gate lines by contacting said ends of said control gate lines to a middle conductive layer wherein said middle conductive layer overlies said bottom conductive layer and underlies said top conductive layer and wherein said middle conductive layer loops around said contact/via stack; and

connecting said word gate lines to said middle conductive layer.

14. The method according to Claim 13 wherein said stitching is done on alternate sets of control gate lines, bit lines, and word lines.

15. The method according to Claim 13 wherein said stitching method reduces resistance of said MONOS memory array.

(28)

16. The method according to Claim 13 wherein said stitching method is performed within a cell size limited by a minimum metal pitch.

17. A method of stitching resistive layers in a MONOS memory array comprising:
providing a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said bit diffusion junctions run in parallel and wherein said word gates run orthogonally to said control gates and said bit diffusion junctions;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

periodically connecting said control gate lines to a middle conductive layer overlying said word gate lines;

cutting said control gate lines to expose said bit lines;

building a contact/via stack from said exposed bit lines to a top conductive layer;

wherein said top conductive layer overlies said middle conductive layer;

connecting cut ends of said control gate lines by contacting said ends of said control gate lines to a bottom conductive layer wherein said bottom conductive layer underlies said middle conductive layer and wherein said bottom conductive layer loops around said contact/via stack; and

connecting said word gate lines to said bottom conductive layer.

(29)

18. The method according to Claim 17 wherein said stitching is done on alternate sets of control gate lines and bit lines.

19. The method according to Claim 17 wherein said stitching method reduces resistance of said MONOS memory array.

20. The method according to Claim 17 wherein said stitching method is performed within a cell size limited by a minimum metal pitch.

21. A method of stitching resistive layers in a MONOS memory array comprising:

providing a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said bit diffusion

junctions run in parallel and wherein said word gates run orthogonally to said control gates and said bit diffusion junctions;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

periodically contacting each of said word lines, control gate lines, and bit lines by a respective upper conductive layer wherein said contacting is said stitching wherein said contacting comprises:

(30)

periodically connecting said control gate lines to a middle conductive layer overlying said word gate lines;

cutting said control gate lines to expose said bit lines;

building a contact/via stack from said exposed bit lines to a top conductive layer wherein said top conductive layer overlies said middle conductive layer;

connecting cut ends of said control gate lines by contacting said ends of said control gate lines to a bottom conductive layer wherein said bottom conductive layer underlies said middle conductive layer and wherein said bottom conductive layer loops around said contact/via stack; and

connecting said word gate lines to said bottom conductive layer; and

adding select transistors into areas of said stitching between sub-arrays of said MONOS memory cells.

22. The method according to Claim 21 wherein said stitching is done on alternate sets of control gate lines and bit lines;

23. The method according to Claim 21 wherein said stitching method reduces resistance of said MONOS memory array.

24. The method according to Claim 21 wherein said stitching method is performed within a cell size limited by a minimum metal pitch.

25. The method according to Claim 21 wherein said step of adding select transistors into areas of said stitching between sub-arrays of said MONOS memory cells comprises:

extending alternate said bit diffusions past an edge of said control gates prior to formation of said control gates; and

(31)

forming bit line select transistors alternately with said extended bit diffusions on either side of each of said sub-arrays and horizontally across said extended bit diffusions; and

connecting unextended bit diffusions to said bit lines by contact stacks to said middle conductive layer.

26. The method according to Claim 21 wherein said step of adding select transistors into areas of said stitching between sub-arrays of said MONOS memory cells comprises:

forming pairs of control gate select transistors between said sub-arrays; and forming control gate contacts over shallow trench isolation areas wherein center control gate contacts lie between two control gate select transistors of a pair and wherein outer control gate contacts lie on outer sides of each of said pairs; wherein said center control gate contacts are connected to said control gate lines by said top conductive lines and wherein said outer control gates contact control gates of a nearest said sub-array.

27. The method according to Claim 1 wherein each of said sub-array control gates is connected by said bottom conductive layer to a source diffusion of said control gate select transistor.

28. The method according to Claim 21 wherein each of said sub-array control gates is extended to a source diffusion of a corresponding said control gate select transistor thereby directly connecting each of said control gates to a corresponding control gate select transistor source diffusion.

(32)

29. The method according to Claim 26 wherein said control gate select transistors are chosen from the group consisting of: an N-channel device in an isolated P-well, and a P-channel device in an independent N-well.

30. The method according to Claim 26 wherein said pairs of control gate select transistors run in parallel with said word lines and perpendicular to said bit lines and said control gate lines.

31. The method according to Claim 21 wherein said step of adding select transistors into areas of said stitching between sub-arrays of said MONOS memory cells comprises:

extending alternate said bit diffusions past an edge of said control gates prior to formation of said control gates;

forming bit line select transistors alternately with said extended bit diffusions on either side of each of said sub-arrays and horizontally across said extended bit diffusions;

connecting unextended bit diffusions to said bit lines by contact stacks to said middle conductive layer;

forming pairs of control gate select transistors out of phase with and between two of said bit line select transistors inside two edges of two said sub-arrays; and

forming control gate contacts over shallow trench isolation areas wherein center

control gate contacts lie between two control gate select transistors of a pair and wherein

outer control gate contacts lie on outer sides of each of said pairs, wherein said center

control gate contacts are connected to said control gate lines by said top conductive layer

and wherein said outer control gates contact control gates of a nearest said sub-array.

(33)

32. The method according to Claim 31, wherein each of said sub-array control gates is connected by one of said bottom conductive layer to a source diffusion of said control gate select transistor.

33. The method according to Claim 31 wherein each of said sub-array control gates is extended to a source diffusion of a corresponding said control gate select transistor thereby directly connecting each of said control gates to a corresponding control gate select transistor source diffusion.

34. The method according to Claim 31 wherein said control gate select transistors are chosen from the group consisting of: an N-channel device in an isolated P-well, and a P-channel device in an independent N-well.

35. The method according to Claim 31 wherein said pairs of control gate select transistors run in parallel with said word lines and perpendicular to said bit lines and said control gate lines.

36. A method of stitching resistive layers in a MONOS memory array comprising:

providing a plurality of memory cells in a MONOS memory array wherein each

memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said word gates run in

(34)

parallel and wherein said bit diffusion junctions run orthogonally to said control gates and said word gates;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

periodically connecting said bit lines to a bottom conductive layer overlying said word gate lines;

periodically connecting said control gate lines to a middle conductive layer;

building a contact/via stack from said word gate lines to a top conductive layer overlying said middle conductive layer; and

contacting said control gate lines to a bottom conductive layer wherein said bottom conductive layer underlies said middle conductive layer and loops around said contact/via stack.

37. The method according to Claim 36 wherein said stitching is done on alternate sets of control gate lines and word lines;

38. The method according to Claim 36 wherein said middle conductive line and said top conductive line are shifted by half a metal pitch, wherein said middle conductive layer also loops around said contact/via stack, and wherein said stitching is done on every control gate line and on alternate sets of word lines;

39. The method according to Claim 36 wherein said stitching method reduces resistance of said MONOS memory array.

40. The method according to Claim 36 wherein said stitching method is performed within a cell size limited by a minimum metal pitch.

(35)

41. A stitched MONOS memory array comprising:

three resistive layers wherein said three resistive layers are vertically stacked as a bottom, middle, and top resistive layer and wherein said bottom and middle resistive layers run in parallel to each other and wherein said top resistive layer runs orthogonally to said bottom and middle resistive layers; and

stitches periodically contacting each of said resistive layers to a respective upper conductive layer wherein said stitches comprise:

connections from said middle resistive layer to a bottom conductive layer overlying said top resistive layer;

contact/via stacks from said bottom resistive layer to a top conductive layer; a middle conductive layer connecting cut ends of said middle resistive layer wherein said middle conductive layer overlies said bottom conductive layer and underlies said top conductive layer and wherein said middle conductive layer loops around said contact/via stacks; and

connections from said top resistive layer to said middle conductive layer.

42. The memory array according to Claim 41 wherein said stitches are located on alternate sets of resistive lines.

43. The memory array according to Claim 41 wherein said bottom and middle resistive lines are a bit line and a control gate line and wherein said top resistive line is a word gate line.

44. The memory array according to Claim 41 wherein said bottom and middle resistive lines are a word line and a control gate line and wherein said top resistive line is a bit line.

(36)

45. The memory array according to Claim 41 wherein said stitches reduce resistance of said MONOS memory array.

46. The memory array according to Claim 41 wherein said stitches lie within a cell size limited by a minimum metal pitch.

47. A stitched MONOS memory array comprising:

three resistive layers wherein said three resistive layers are vertically stacked as a bottom, middle, and top resistive layer and wherein said bottom and middle resistive layers run in parallel to each other and wherein said top resistive layer runs orthogonally to said bottom and middle resistive layers; and

stitches periodically contacting each of said resistive layers by a respective upper conductive layer wherein said stitches comprise:

connections from said top resistive layer to a bottom conductive layer overlying said top resistive layer;

contact/via stacks from said bottom resistive layer to a top conductive layer; a bottom conductive layer connecting cut ends of said middle resistive layer wherein said bottom conductive layer loops around said contact/via stacks; and

connections from said middle resistive layer to a middle conductive layer

wherein said middle conductive layer overlies said bottom conductive layer and underlies said top conductive layer.

48. The memory array according to Claim 47 wherein said stitches lie on alternate sets of resistive lines.

(37)

49. The memory array according to Claim 47 wherein said bottom and middle resistive lines are a bit line and a control gate line and wherein said top resistive line is a word gate line.

50. The memory array according to Claim 47 wherein said bottom and middle resistive lines are a word line and a control gate line and wherein said top resistive line is a bit line.

51. The memory array according to Claim 47 wherein said stitches reduce resistance of said MONOS memory array.

52. The memory array according to Claim 47 wherein said stitches lie within a cell size limited by a minimum metal pitch.

53. A stitched MONOS memory array comprising:

a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell or an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said bit diffusion junctions run in parallel and wherein said word gates run orthogonally to said control gates and said bit diffusion junctions;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

(38)

connections from said control gate lines to a bottom conductive layer overlying said word gate lines;

contact/via stacks from said bit lines to a top conductive layer;

a middle conductive layer connecting cut ends of said control gate lines wherein said middle conductive layer overlies said bottom conductive layer and underlies said top conductive layer and wherein said middle conductive layer loops around said contact/via stacks; and

connections from said word gate lines to said middle conductive layer.

54. The memory array according to Claim 53 wherein said connections lie on alternate sets of control gate lines, bit lines, and word lines.

55. A stitched MONOS memory array comprising:

a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of

said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory

cell; and

a control gate overlying each of said storage cells electrically isolated from

underlying said bit diffusion junctions wherein said control gates and said bit diffusion

junctions run in parallel and wherein said word gates run orthogonally to said control gates

and said bit diffusion junctions;

wherein word gates in said array from word lines, said control gates in said array

form control gate lines, and said bit diffusion junctions in said array form bit lines;

connections from said control gate lines to a middle conductive layer overlying said

(39)

word gate lines;

contact/via stacks from said bit lines to a top conductive layer wherein said top conductive layer overlies said middle conductive layer;

a bottom conductive layer connecting cut ends of said control gate lines wherein said bottom conductive layer underlies said middle conductive layer and wherein said bottom conductive layer loops around said contact/via stacks; and

connections from said word gate lines to said bottom conductive layer.

56. The memory array according to Claim 55 wherein said connections lie on alternate sets of control gate lines and bit lines.

57. A stitched MONOS memory array comprising:

a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said bit diffusion junctions run in parallel and wherein said word gates run orthogonally to said control gates and said bit diffusion junctions;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

stitches periodically contacting each of said word lines, control gate lines, and bit lines by a respective upper conductive layer wherein said contacting comprises:

(40)

connections from said control gate lines to a middle conductive layer overlying said word gate lines;

contact/via stacks from said bit lines to a top conductive layer wherein said top conductive layer overlies said middle conductive layer;

a bottom conductive layer connecting cut ends of said control gate lines wherein said bottom conductive layer underlies said middle conductive layer and wherein said bottom conductive layer loops around said contact/via stacks; and

connections from said word gate lines to said bottom conductive layer; and select transistors in areas of said stitching between sub-arrays of said MONOS memory cells.

58. The memory array according to Claim 57 wherein said stitches lie on alternate sets of control gate lines and bit lines.

59. The memory array according to Claim 57 wherein said select transistors comprise:

extensions of alternate said bit diffusions past an edge of said control gates;

bit line select transistors placed alternately with said extended bit diffusions on

either side of each of said sub-arrays and horizontally across said extended bit diffusions

wherein unextended said bit diffusions are connected to said bit lines by contact stacks to said middle conductive layer.

60. The memory array according to Claim 57 wherein said select transistors comprise:

pairs of control gate select transistors between said sub-arrays; and

control gate contacts over shallow trench isolation areas wherein center control gate contacts lie between two control gate select transistors of a pair and wherein outer control gate contacts lie on outer sides of each of said pairs, wherein said center control

(41)

gate contacts are connected to said control gate lines by said top conductive layer and wherein said outer control gates contact control gates of a nearest said sub-array.

61. The memory array according to Claim 60 wherein each of said sub-array control gates is connected by said bottom conductive layer to a source diffusion of said control gate select transistor.

62. The memory array according to Claim 60 wherein each of said sub-array control gates is extended to a source diffusion of a corresponding said control gate select transistor thereby directly connecting each of said control gates to a corresponding control gate select transistor source diffusion.

63. The memory array according to Claim 60 wherein said control gate select transistors are chosen from the group consisting of: an N-channel device in an isolated P-well, and a P-channel device in an independent N-well.

64. The memory array according to Claim 60 wherein said pairs of control gate select transistors run in parallel with said word lines and perpendicular to said bit lines and said control gate lines.

65. The memory array according to Claim 57 wherein said select transistors comprise:
 extensions of alternate said bit diffusions past an edge of said control gates;
 bit line select transistors placed alternately with said extended bit diffusions on either side of each of said sub-arrays and horizontally across said extended bit diffusions wherein unextended said bit diffusions are connected to said bit lines by contact stacks to said middle conductive layer;

(42)

pairs of control gate select transistors placed out of phase with and between two of said bit line select transistors inside two edges of two said sub-arrays; and

control gate contacts over shallow trench isolation areas wherein center control gate contacts lie between two control gate select transistors of a pair and wherein outer control gate contacts lie on outer sides of each of said pairs, wherein said center control gate contacts are connected to said control gate lines by said top conductive layer and wherein said outer control gates contact control gates of a nearest said sub-array.

66. The memory array according to Claim 65 wherein each of said sub-array control gates is connected by said bottom conductive layer to a source diffusion of said control gate select transistor.

67. The memory array according to Claim 65 wherein each of said sub-array control gates is extended to a source diffusion of a corresponding said control gate select transistor thereby directly connecting each of said control gates to a corresponding control gate select transistor source diffusion.

68. The memory array according to Claim 65 wherein said control gate select transistors are chosen from the group consisting of: an N-channel device in an isolated P-well and a P-channel device in an independent N-well.

69. The memory array according to Claim 65 wherein said pairs of control gate select transistors run in parallel with said word lines and perpendicular to said bit lines and said control gate lines.

70. A stitched MONOS memory array comprising:

(43)

a plurality of memory cells in a MONOS memory array wherein each memory cell comprises:

a storage cell on either side of a word gate;

a bit diffusion junction underlying each of said storage cells wherein each of said bit diffusion junctions is shared with an adjacent storage cell of an adjacent memory cell; and

a control gate overlying each of said storage cells electrically isolated from underlying said bit diffusion junctions wherein said control gates and said word gates run in parallel and wherein said bit diffusion junctions run orthogonally to said control gates and said word gates;

wherein word gates in said array form word lines, said control gates in said array form control gate lines, and said bit diffusion junctions in said array form bit lines;

connections from said bit lines to a bottom conductive layer overlying said word gate lines;

connections from said control gate lines to a middle conductive layer;

contact/via stacks from said word gate lines to a top conductive layer overlying said middle conductive layer; and

a bottom conductive layer contacting said control gate lines wherein said bottom conductive layer underlies said middle conductive layer and loops around said contact/via stacks.

71. The memory array according to Claim 70 wherein said connections lie on alternate sets of control gate lines and word lines.

72. The memory array according to Claim 70 wherein said middle conductive line and said top conductive line are shifted by half a metal pitch, wherein said middle conductive layer also loops around said contact/via stack, and wherein said connections lie on every control gate line and on alternate sets of word lines.

Detailed Explanation of the Invention

(44)

BACKGROUND OF THE INVENTION

This application claims priority to U.S. Provisional Patent Application serial number 60/278,622, filed on March 26, 2001, which is herein incorporated by reference.

RELATED PATENT APPLICATION

U.S. Patent Application serial number 09/810,122 filed on March 19, 2001, assigned to the same assignee as the present invention.

1) Field of Invention

The invention relates to stitching (strapping) methods of forming high-density Metal/polysilicon Oxide Nitride Oxide Silicon (MONOS) memory arrays with reduced bit line resistance, reduced control gate resistance and reduced word gate resistance using three-level metal lines, resulting in high density MONOS memory arrays with high performance.

2) Description of Prior Art and Background

Twin MONOS structures were introduced in the U.S. patent 6,255,166, and U.S. Patent Applications serial numbers 09/861,489 and 09/595,059 by Seiki Ogura et al. and also various array fabrication methods of the twin MONOS memory array were introduced in U.S. Patents 6,177,318 and 6,248,633-B1 and U.S. Patent Application serial number 09/994,084 filed on November 21, 2001.

(45)

The twin ballistic MONOS memory cell, illustrated in Fig. 1A, may be arranged into a bit diffusion array as follows: each memory cell contains two nitride regions 031 which comprise storage elements for one word gate 040, and half a source diffusion and half a bit diffusion (003). The diffusion junctions are shared by two adjacent storage elements. Control gates can be defined separately (042) or shared together (043) over the same diffusion (003). The control gate is electrically isolated from the underlying diffusion junctions. Diffusions are shared between cells and run in parallel to the sidewall control gates (042), and perpendicular to the word line (041). The diffusion lines become bit lines.

In a conventional MOSFET memory, a transistor structure consisting of one polysilicon gate between source and drain diffusions is used and word gate polysilicon line and diffusion bit lines are orthogonally placed. When the memory array gets large, the bit line (BL) and word gate line (WG) become long. The word line resistance due to the series of word gates is high in large memory devices. In order to reduce word line resistance, it is necessary to connect the word line periodically to a metal line that runs in parallel to the poly word lines. This is referred to as a "stitched" or "strapped" word line. Also the bit diffusion line can be sub-arrayed and the bit line can be "stitched" by a conductive metal line. In a typical memory, each polysilicon word line is stitched to a metal word line which runs on top of each poly word line, and each diffusion line, which runs orthogonally to the word lines is stitched by another layer of metal line.

However, in the high-density twin MONOS cell shown in Fig. 1A, the transistor consists of three gates between source and drain diffusions. Three resistive layers of control gate and word gate and bit diffusion may need to be stitched to reduce resistance and to achieve the target performance. For higher density, the polysilicon control gate lines and diffusion bit lines may run in parallel to and on top of each other. If the cell is metal-pitch limited and requires stitching, that means that two additional layers of metal lines have to run on top of and

(46)

contact to the two resistive layers. This is a layout and process challenge, as it is not possible to stitch two resistive layers to two respective metal layers when the set of the composite four lines are running on top of each other within the minimum metal pitch.

SUMMARY OF THE INVENTION

In the memory cell described hereinabove, however, another third resistive layer is added and stitched by the third level metal. Then a clever three-dimensional solution makes it possible to stitch three resistive layers by three metal lines.

An objective of the present invention is to provide a new method of stitching between high resistance lines and low resistance metal lines in a memory cell having three types of high resistance lines.

Another objective of the present invention is to provide a new method of stitching such that the three high resistance lines can be stitched by three low resistance metal lines within a cell size that is limited by the minimum metal pitch.

Yet another objective of the present invention is to provide a method of forming the stitch contact areas for the high resistance line.

A further objective of the present invention is to provide a method of stitching three high resistance lines to low resistance metal lines while providing bit line select transistors.

(47)

A still further objective of the present invention is to provide a method of stitching three high resistance lines to low resistance metal lines while providing bit line and control gate select transistors.

In this invention, by offering specific array-end structures and their fabrication method, the three resistive layers of diffusion bit line, control gate and word gate polysilicons, where control gate polysilicon can run on top of the diffusion bit line, are most effectively stitched with only three layers of metal lines keeping minimum metal pitches.

When the memory becomes too large, the total capacitance of the bit line also becomes too large and the RC time constraint becomes too large for a specific application speed. Therefore, the bit line needs to be subdivided into several sections. Each section is selected by placing a select transistor at each end of the subdivided section. Thus, the total bit line capacitance is reduced to the sum of the global metal line capacitance and the selected section of devices. Also the above stitching invention is extended to the case of placing select transistors on the bit line. Also another stitching method for the deviated array structure provided in U.S. Patent Application serial number 09/994,084 is also presented using a similar method. Figure 2 provides a conceptual illustration of a memory cell array having control gate lines 142 and bit lines 103 running in parallel to each other, and the word gate line 140 perpendicular to both the control gate and bit lines. Word gate polysilicon lines are stitched to metal. The diffusion bit line is further divided into a sub-array by a bit line select transistor 196 which connects to a main bit line. The control gate polysilicon line is also divided into a sub-array by a control gate line select transistor 195, which connects to a main control gate.

The first embodiment of the invention provides a stitching method of three resistive layers to three conductive layers where two resistive layers (003,042) run on top of, and

(48)

in parallel to each other, and the third resistive layer (040) runs orthogonally to the first two resistive layers (Fig.3). The cell width and height allows for one conductive metal in both the vertical and horizontal directions. Each resistive layer is periodically contacted (stitched) by a respective upper conductive layer to reduce the total resistive layer resistance. In order to reduce resistance, the middle resistive layer 2 (042) is periodically connected to the conductive layer 061 (M1), which is above it. In order to make a connection between the bottom resistive layer 1 (003) and the uppermost conductive layer M3 (081), the second resistive layer 2 (042) is cut and separated in order to expose the bottom resistive layer 1 (003). Then a contact/via stack is built up from the bottom resistive layer 1 (003) to the top conductive layer 3 (M3) 081. The two ends of the second resistive layer 2 (042) are connected together by contacting to the second conductive layer M2 (071). This second conductive layer M2 (071) wire bypasses the contact/via stack by using the open space of the adjacent cell. This bypass path will hereafter be referred to as a "loop". Since this bypass loop of second conductive layer M2 (071) blocks contact to the bottom resistive layer 1 (061), the stitch is placed on every other set of composite lines. The unstitched lines may be stitched at another location, a short or far distance away. Thus by utilizing one extra conductive metal layer, two resistive layers can be stitched to two conductive layers, when all four layers run in parallel to and on top of one another. The extra second conductive layer M2 (071) is used only in the stitch area, and may otherwise be used in the other areas to stitch between the third resistive layer 3 (040), which runs orthogonally to the first and second resistive layers 1 (003) and 2 (042). For this explanation, in order to reduce the resistance of the resistive layers, conductive layer 1 (061) stitches to resistive layer 2 (042); conductive layer 2 (071) stitches to resistive layer 3 (040) and conductive layer 3 (081) stitches to resistive layer 1 (003). In the loop, conductive layer 2 (071) is used to bypass the contact stack and connects the cut edges of resistive layer 2 (042) together. However, it is also possible to exchange the function of conductive layer 1 (061) and conductive layer 2 (071), and stitch them to resistive layer 3 (040) and resistive layer 2 (042).

(49)

respectively. Thus three resistive layers may be stitched by three conductive metal layers within minimum cell/metal pitch.

In the second embodiment, in a diffusion bit array of the twin MONOS memory where the memory device structure is fabricated as described in U.S. Patent 6,248,633 B1, the bit diffusion contact for stitch 151 is formed. Then by utilizing the resistive to conductive layer stitching method which was described in the first embodiment scheme, the control gate polysilicon 143 is stitched with Metal 1 (M1) 161 and at the line edge, as shown in FIG. 5B. In the array, metal 2 (M2) 171 is used to lower the resistance of the polysilicon word gate line. However, in the stitch area, as demonstrated in FIG. 5C, M2 172 is also used to connect the edges of the severed CG lines that are contacted to Metal 1 (M1) 161. The M2 line loops around the contact/via stack 151, which connects the diffusion bit line 103 to the parallel running Metal 3 181 in Fig. 5D. Since the loop of M2 171 blocks the bit line contact in the adjacent cell, the stitch region contacts alternate bit lines and alternate CG lines. The uncontacted set of lines may be stitched immediately below in a separate stitch area or at the other end of the sub array. It is also possible to interchange the functions of metal 1 and metal 2 for this array, such that metal 1 is used to contact to the word line and for the stitch loop, and metal 2 is used to stitch to and reduce the resistance of the control gate line.

In the third embodiment of this invention, the stitching method also incorporates a bit diffusion select transistor and/or a control gate line select transistor. The purpose of the select transistors may be to reduce the overall capacitance of the bit line or control gate line, or to limit the disturb conditions that a grouped sub-array of cells may be subjected to during program and/or erase.

These select transistors are added into the stitch areas between memory cell sub-arrays. FIG. 8A and Fig. 9C show an implementation example of a bit line select gate 211 and control gate select gate 212 in the stitch area. Referring to FIGS. 7A-E and 8A, the stitch areas on both sides of a sub-

(50)

array are shown. Bit line select gates 211 are placed closest to the array and the control gate select gates 212 are placed outside of the bit line select gates from the array. At the end of the sub-array, the bit diffusion is extended past the edge of the control gate by implanting N⁺ species such as As prior to formation of control gate sidewalls (Fig.9A). The bit diffusion extension 204 and bit select transistors 211 are provided alternatively on both sides of the sub-array. Select transistors are isolated from each other by shallow trench isolation (Fig.7E and Fig.8A). The bit select gate 211 is placed horizontally across the extended bit diffusion and the horizontal gate becomes the bit select gate. The diffusion on the other side of the bit select transistor gate is connected to the main bit-line by a contact stack 251 between the diffusion to second level metal 2 (271) as shown in Fig.9A. When control gate select transistors 212 are also needed, a pair of control gate select transistors 212 are placed out of phase, and between the two bit line select transistors 211 inside the two edges of two sub-arrays. The pair of control gate select lines run parallel to the word gate and perpendicular to the bit-line and control gate lines (Fig.8A). The center contact 254 between two control gates 212 becomes the control gate connection point to the main control gate line which runs vertically in metal M3 (281), as illustrated in Figs.8A and 8D. The other diffusion region of the control gate select transistor is locally connected by metal M1 (261) to the other end of the polysilicon control gate stitch 252 (Fig.8B). Main bit lines run in metal 2 (271), but near the main CG contact, they are cut and connected down to metal 1 (261), in order to loop around the main control gate contact 254 to complete the bit stitch (Fig.8C). Thus at the one edge of sub-array space, alternative bit select gate/stitch via M2 line and control gate select/stitch via M3 may be completed using a M1 local connection and loop. Metal 1 may also be used in the array region to stitch the word gate lines at intervals to reduce the polysilicon word gate resistance. This example shows a bit select transistor and control gate select transistor. Using the same contact and metal wiring approach, it is also possible to implement the stitch and select area with transistors for only bit line selection or with transistors for only control gate line selection.

(51)

The fourth embodiment shows a stitching method in another type of array arrangement called "metal bit" where the diffusion of each cell is connected to first level metal (M1) 361 by a contact 351 (see Fig. 10C, Fig. 11B, and Fig. 12B). The polysilicon control gate lines 342 and the polysilicon word gate lines 340 run parallel to each other and orthogonally to the bit metal line 361. Fig. 12. A polysilicon pad is prepared in order to contact between the control gate polysilicon and metal (Fig. 10A-C). This polysilicon pad 343 is formed by using the self-aligned methods described in the previous embodiment. Metal M2 371 is used to stitch control gate 342 (Fig. 11C) and the metal M3 381 is used to stitch the word gate 340 (Fig. 11D). The word gate contact 355 is placed in the open space which is created by cutting the control gate M2 line and looping around in metal 1 in order to avoid the word gate contact area (Fig. 11C). By shifting the metal 2 and metal 3 lines half a metal pitch and looping with M2 as well as M1, every control gate line 342 and every other word gate line 340 can be contacted within the same region (Fig. 12A). Since the control gate line is a narrow sidewall polysilicon with higher resistance than the word gate line, the ability to stitch to every CG line on both ends of the sub-array is beneficial for high performance applications.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

The first embodiment of the present invention provides a stitching method of three resistive layers to three conductive layers where two resistive layers (003, 042) run on top of, and in parallel to each other, and the third resistive layer (040) runs orthogonally to the first two resistive layers (Fig. 3). The cell width and height allows for one conductive metal in both the vertical and horizontal directions. Each resistive layer is periodically contacted (stitched) by a respective upper conductive layer to reduce the total resistive layer resistance. In order to reduce resistance, the middle resistive layer 2 (042) is periodically connected to the conductive layer 061 (M1), which is above it. In order to make a connection between the bottom resistive layer 1 (003) and the uppermost conductive layer M3 (081), the second resistive layer 2 (042) is cut and separated in order to expose the bottom resistive layer 1 (003). Then a contact/via stack is built up from the bottom resistive layer 1 (003) to the top conductive layer 3 (M3) 081. The two ends of the second resistive layer 2 (042) are connected together by contacting to the second conductive layer M2 (071). This second conductive layer M2 (071) wire bypasses the contact/via stack by using the open space of the adjacent cell. This bypass path will hereafter be referred to as a "loop". Since

(52)

this bypass loop of second conductive layer M2 (071) blocks contact to the bottom resistive layer 1 (003), the stitch is placed on every other set of composite lines. The unstitched lines may be stitched at another location, a short or far distance away. Thus by utilizing one extra conductive metal layer, two resistive layers can be stitched to two conductive layers, when all four layers run in parallel to and on top of one another. The extra second conductive layer M2 (071) is used only in the stitch area, and may otherwise be used in the other areas to stitch between the third resistive layer 3 (040), which runs orthogonally to the first and second resistive layers 1 (003) and 2 (042). For this explanation, in order to reduce the resistance of the resistive layers, conductive layer 1 (061) stitches to resistive layer 2 (042), conductive layer 2 (071) stitches to resistive layer 3 (040) and conductive layer 3 (081) stitches to resistive layer 1 (003). In the loop, conductive layer 2 (071) is used to bypass the contact stack and connects the cut edges of resistive layer 2 (042) together. However, it is also possible to exchange the function of conductive layer 1 (061) and conductive layer 2 (071), and stitch them to resistive layer 3 (040) and resistive layer 2 (042), respectively. Thus three resistive layers may be stitched by three conductive metal layers within minimum cell/metal pitch.

The second preferred embodiment of the present invention will be discussed with reference to Figs. 4-6.

The ballistic twin MONOS memory cell is fabricated as taught in US Patent 6,248,633 B1. As illustrated in Fig. 4A, each memory cell contains two nitride regions 131 which comprise storage elements for one word gate 140, and half a source diffusion and half a bit diffusion (103). The diffusion junctions are shared by two adjacent storage elements. Control gates 142 are defined by vertical reactive ion etching on both word gate sidewalls. A pair of control gates 142 sharing the bit diffusion 103 may be connected together by plugging polysilicon 143 as shown Fig. 4B to reduce the resistance. After defining the sidewall gates 142, a silicon oxide film

(53)

124-A is grown or deposited over the control gates and the diffusion junctions 103 to form an isolation layer 124 in Fig.4B. Using a recess mask 190 in Fig.4A, the oxide 124-A is etched to leave the isolation oxide 124 in Fig. 4B. Then polysilicon in the canyon between separate control gates 142 is deposited and planarized. Unnecessary oxide 124-A over the polysilicon control gate is removed by wet or dry etching. A polysilicon is deposited to fill the space between the word lines and planarized by CMP to remove the polysilicon over the word gates as shown in Fig.4B. The control gate 143 is electrically isolated from the underlying diffusion junctions 103. Diffusions run under the sidewall control gate 142, and perpendicular to the word line to be formed later overlying the control gate.

The bit diffusion area is exposed using photoresist mask 193, shown in Fig. 4B. The polysilicon 142 and 143 is selectively etched using, for example, a reactive ion etching (RIE) process having a chlorine base, followed by a bit contact ion implantation 104, such as As, as shown in Fig.4C to form an n+ region profile under the QNO and make the contact area borderless with n+ dopant.

A conventional metal contact process is followed; for example, oxide deposition within the opening, chemical mechanical polish (CMP) of the oxide, opening of a contact hole, tungsten fill, and CMP of the tungsten. Fig. 4C illustrates the completed bit diffusion stitch contact 151 and control gate contact 152. Fig. 5A shows a top view of the MONOS device at this point. Fig.4C shows cross section B-B' of Fig. 6B. The stitch contact holes 152 and the bit contact hole 151 are placed on alternate bit lines and control gate lines. Control gate contacts placed on the both edges, as shown in Fig.5A, connect together with 1st metal 161 as shown in Fig.5B, where the 1st metal pads are placed on bit contacts to stack up. The via process follows to stack the bit contacts and control gate contacts. The 1st metal lines are opened at both sides of a bit contact 151 to bypass with 2nd metal loop 171 as shown in Fig.5C. The word lines are also

(54)

stitched by 2nd metal, not shown. The bit contacts are stacked by 2nd metal pads and 2nd via holes and stitched by 3rd metal as shown in Fig.5D.

Figure 6A is a magnified top view of the stitch area in Figure 5A. Figure 6B is a magnified top view of both control gate and bit line connection at the stitch area of Figure 6A. Figure 6C is a cross sectional representation of the control gate stitch area after metal 3 formation showing cross section A-A' of Figure 6B. Figure 6D is a cross sectional representation of the control gate stitch area after metal 3 formation showing cross section B-B' of Figure 6B. Figure 6E is an equivalent circuit diagram of a sub-array with three level metal stitch.

In a minimum line space, a metal stitch is thus formed to the control gate using 1st metal and 2nd metal and bit line running immediately underneath the control gate 143 using 3rd metal. A metal stitch to the word line is formed using the 2nd metal.

The third embodiment of the present invention will be described with reference to Figs. 7-9. The third embodiment completes the stitching method having select devices. The bit line and control gate capacitance reduction of the present invention is achieved by placing bit select gates and control select gates in a tight sub-array space in conjunction with the previous metal stitches. Fig. 8A illustrates a top view after defining the contact. The control gate contacts 252 are placed at the end of a sub-array. The bit diffusion select gates 211 are placed on both sides of the sub-array (Fig.7E). The bit diffusion contacts 251 are placed on alternate side of the sub-array as shown in Fig.8A. In the area of a pair of control gate select devices 212, three contacts 253, 254, 253 are placed as shown in Figure 8A. The select gates define which sub-array is selected. The center contacts 254 are connected to the main control line. Both sides of contacts 253 are connected to the sub-array control gate. These bit line and control gate contacts are wired using 3 metal layers. Loop 262 and local connection 261 as 1st metal,

(55)

shown in Fig. 8B, main bit line 271 as 2nd metal, shown in Fig. 8C, and main control line 281 as 3rd metal, shown in Fig. 8D.

Figs. 7A, 7B and 7C illustrate cross-sections at various process steps to form control gates and their contacts. The conformal polysilicon layer, 242/243, is deposited over the word gates 240, as shown in Fig. 7A. In the process of the present invention, the control gate contact area 243 is placed over the shallow trench isolation (STI) region 202, where it is covered with recessed photoresist mask or hard mask 290. The mask is applied to expose the control gate polysilicon except in the control pad area. Then the vertical etch of the sidewall polysilicon is performed to get the sidewall control gates 242. Polysilicon overlying the bit diffusion junctions 203 is etched out. However, the polysilicon 243 over the STI region is covered with the recessed mask 290 and the filled poly silicon for the control gate contact pad remains as shown in Fig. 7B, whose top view is provided in Fig. 7D.

After defining the peripheral area including the select gates, oxide 245 is deposited to fill the areas between the word gates and planarized until the cap nitride 230 is exposed. The word line (wire) polysilicon 246 is deposited, following the cap nitride strip to allow self-alignment. The word wire is defined by the conventional lithography and subsequent RIE etching the deposited polysilicon 246 and the word gate polysilicon 240 all the way down to the word gate oxide. This is followed by the conventional contact process with a sequence of oxide fill, oxide CMP, contact open, tungsten deposition and Tungsten CMP to form control gate contact 252. Fig. 7E is a top view after the contact process. Fig. 7C is a cross section cutting along A - A' running on control gate contacts 252 in Fig. 7E.

The extended diffusion 204 is defined in the N⁺ diffusion under the enclosing memory gate 210 by Arsenic ion implantation with a dose of between about 1E15 to

(56)

2×10^{15} ions/cm³ and an energy of between about 40 and 60KeV immediately after STI formation to keep electrical continuity between the diffusion bit 204 and bit line select diffusion 206 (Fig.9A)

This control select device 212 can be N-channel with isolated P-well from P-substrate or it can be a P-channel device with an independent N-well. When a P-channel device is used, the voltage application on the select gate 212 has to be chosen carefully to discharge near the low-ground level. The input voltage on the P-channel device is at least below the threshold voltage (V_t). If the p-threshold is $-1.0V$, then the select gate voltage for ON must be at least $-1.0V$ instead of the normal $0V$. However, this extra complexity with the negative voltage pays off in comparison with an N-channel select gate. In an N-channel select gate device, in order to pass high voltage $V_{cg}(5\sim6V)$, the control select gate requires at least $V_{cg} + V_t$ (at $V_{sub} = V_{cg}$); which means about $7\sim8V$ on the select gate is required to pass $5.5V$. Therefore, this extra high voltage requirement (almost 40% higher) forces the utilization of at least 40% thicker oxide for high voltage support devices. This extra oxide thickness can be avoided if the P-channel select device is chosen instead of the N-channel device.

The pair of control gate select lines run parallel to the word gate and perpendicular to the bit line and control gate lines in Fig.8A. The center contact 254 between two control gates 212 becomes the control gate connection point to the main control gate line that runs vertically in metal M3 (261) Fig.8A & 8D. The other diffusion region of the control gate select transistor is locally connected by metal M1 (261) to the other end the polysilicon control gate stitch 252. (Fig.8B) Main bit lines run in metal 2 (271), but near the main CG contact, they are cut and connected down to metal 1 (261), in order to loop around the main control gate contact 254 to complete the bit stitch Fig.8C. Thus at the one edge of the sub-array space, alternative bit select gate/stitch via M2 line and control gate select/stitch via M3 may be completed using a M1-local

(57)

connection and loop. Metal 1 may also be used in the array region to stitch the word gate lines at intervals to reduce the polysilicon word-gate resistance.

The application of the special wiring technique of the present invention in the twin MONOS cell device of U.S. Patent 6,248,633 B1 is illustrated in Fig. 9C. The bit-line signal BL[1] through the global Metal 2 is connected to one side of the bit select transistor (Bit Select 1) and the output is connected to the other side of the bit diffusion line which is connected to the drain of another bit select transistor (Bit Select 0). The source junction is connected to the BL[0] Metal 2 line. When one of the word lines in the block between two bit select transistors is selected, the bit signal from the BL[1] goes through the twin cells and reaches BL[0]. On the other hand, the control/gate signal from CG[1] is dropped to the drain of the control gate transistor CG[1] and passes through the select transistor. Then the control gate signal is delivered to the control gate between two bit select transistors.

Fig. 9B shows an alternative method to place select devices with buried contacts 256 directly to the control gate. This reduces the stitch area since the direct contact eliminates 1st metal local wire connecting a sub-array control gate and a select device source diffusion. The control gate is extended to the select device source diffusion. The contact 256 is connected to the underlying diffusion after removing the ONO. The control gate signal from the main control gate line 281 with 3rd metal comes in through the stacked via 256 and is delivered to the source diffusion 256 when the select gate 213 is selected.

In the fourth preferred embodiment of the present invention, the stitching method of the invention can be used in the nonvolatile memory disclosed in the co-pending U.S. Patent applications serial numbers 09/810,122 and 09/994,084. This embodiment is discussed with reference to Figs. 10-12.

(58)

In another array arrangement of twin MONOS memory device, a stitching method of word gate and control gate to two metal lines running parallel is disclosed. In the process of the present invention, the control gate contact area 343 over the shallow trench isolation (STI) region 302 is covered with recessed photoresist or hard mask such as TEOS oxide. Then the vertical etch of the sidewall polysilicon is performed. Sidewall control gates 342 are left on the sidewalls of the word gate 340. However, the polysilicon 343 is protected by the recessed mask 391 as shown in Fig. 10A. A conventional CMOS gate definition follows to form the logic gate structure while protecting the memory area. Then the sidewall dielectric spacer for logic gate follows as shown in Fig. 10B. The sidewall dielectric spacer on the logic gate can be a thin oxide and nitride spacer. Since the sidewall control gate can be thinner than 40nm and the top of the control polysilicon gate can be reasonably lower than the top of the word gate polysilicon, the nitride spacer can cover the entire control gate polysilicon. During opening of the bit contact 351, the slight overlap of contact hole over the nitride layer is tolerable since the nitride has a lower etch rate during oxide RIE. A control gate contact 352 is made over the control gate contact polysilicon 343. Word line contacts 355 and Bit contacts 351 are also formed. The bit line is wired by 1st metal 361 in Figs. 10C and 11B, the control gate is stitched by 2nd metal 371 in Fig. 11C, and the word line is stitched by 3rd metal 381 in Fig. 11D.

The diffusion of each cell is connected to first level metal (M1) 361 by a contact 351 Fig. 10C, Fig. 11B, and Fig. 12B. The polysilicon control gate lines 342 and the polysilicon word gate lines 340 run parallel to each other and orthogonally to the bit metal line 361 Fig. 12A. Metal M2 371 is used to stitch control gate 342 (Fig. 11C) and the metal M3 381 is used to stitch the word gate 340 (Fig. 11D). The word gate contact 355 is placed in the open space which is created by cutting the control gate M2 line and looping around in metal 1 in order to avoid the word gate contact area (Fig. 11C). By shifting the metal 2 and metal 3 lines half a metal pitch and

(59)

looping with M2 as well as M1, every control gate line 342 and every other word gate line 340 can be contacted within the same region (Fig. 12A).

The equivalent circuit diagram to this embodiment is shown in Fig. 12D. The stitch area is placed on both sides of the memory array block, defined as upper and lower stitch areas. The control gate contacts to stitch the control gate line are placed on both upper and lower areas. Word contacts are placed alternately on upper and lower areas.

The present invention provides methods stitching three high resistance lines to three low resistance metal lines within a cell size that is limited by the minimum metal pitch. Methods have been provided to form stitch contact areas for the high resistance line. Bit line select transistors and/or control gate select transistors may be provided in addition to the stitching.

While the invention has been particularly shown and described with reference to the preferred embodiments thereof, it will be understood by those skilled in the art that various changes in form and details may be made without departing from the spirit and scope of the invention.

BRIEF DESCRIPTION OF THE DRAWINGS

In the accompanying drawings forming a material part of this description, there is shown:

Figure 1A is a cross sectional presentation of a twin MONOS memory device of the prior art.

Figure 1B is an equivalent circuit diagram of Fig. 1C

(60)

Figure 1C is a top view of a twin MONOS array before formation of contact and metal wiring.

Figure 2 is a conceptual illustration of stitching resistive word line by metal line 2 and placing bit and control gate select transistors to improve RC time constant as well as achieving stitching objective, according to the third embodiment of the present invention.

Figure 3 is a three dimensional view of stitching three resistive layers by three conductive lines in a minimum pitch, according to the first embodiment of the present invention.

Figures 4A through 4C are cross-sectional representations of unifying two sidewall gate devices into a single control gate and forming a bit contact area by etching out the unified control gate polysilicon, according to the second embodiment of the present invention.

Figure 5A is a top view of the memory array obtained by the process in Figures 4A-C.

Figure 5B is a top view after processing metal 1 and via in Figure 5A.

Figure 5C is a top view after metal 2 formation in Figure 5A.

Figure 5D is a top view after metal 3 formation in Figure 5A.

Figure 6A is a magnified top view of the stitch area in Figure 5A.

(61)

Figure 6B is a magnified top view of both Control gate and Bit line connection at the stitch area of Figure 6A.

Figure 6C is a cross sectional representation of the control gate stitch area after metal 3 formation showing cross section A-A' of Figure 6B.

Figure 6D is a cross sectional representation of the control gate stitch area after metal 3 formation showing cross section B-B' of Figure 6B.

Figure 6E is an equivalent circuit diagram of a sub-array with three-level metal stitch.

Figure 7A through 7C are cross sectional representations of forming sidewall control gates and landing pads for control gate contacts, according to the third embodiment of the present invention.

Figure 7D is a top view of Figure 7B.

Figure 7E is a top view after control gate completion in Figure 7B and bit select gate formation. Bit diffusion N+ is extended passing under the control gate to select transistor.

Figure 8A is a top view of the stitching area with bit select and control select transistors prior to metal placement.

Figure 8B is a top view after metal 1 wiring in Figure 8A.

(62)

Figure 8C is a top view after metal 2 wiring in Figure 8A.

Figure 8D is a bird's view after metal 3 wiring in Figure 8A.

Figure 9A is a cross-sectional representation of view B-B' of Figs 7E and 8A.

Figure 9B is a top view of an alternative method of placing select devices.

Figure 9C is an equivalent circuit diagram according to the third embodiment of the present invention.

Figures 10A through 10C are cross sectional representations at various stages in forming twin MONOS device with a bit contact on each memory cell, according to the fourth embodiment of the present invention.

Figure 11A is a top view just before Metal 1 wiring in Figure 10C.

Figure 11B is a top view just after Metal 1 wiring in Figure 10C.

Figure 11C is a top view just after Metal 2 wiring in Figure 10C.

Figure 11D is a top view just after Metal 3 wiring in Figure 10C.

Figure 12A is a magnified top view in the stitch area of Figure 10C.

Figure 12B is a cross sectional representation of the control gate contact area in Figure 12A (A-A').

Figure 12C is a cross sectional representation of the word gate contact area in Figure 12A (B-B').

Figure 12D is an equivalent circuit diagram of a sub array with a contact on each bit diffusion and connected by a first metal line.

(63)

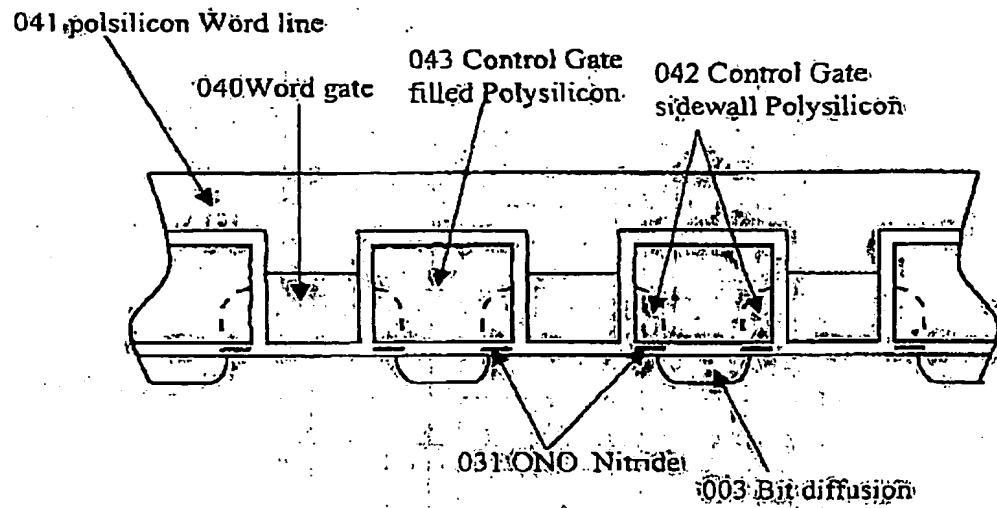


Fig. 1A Prior Art

(64)

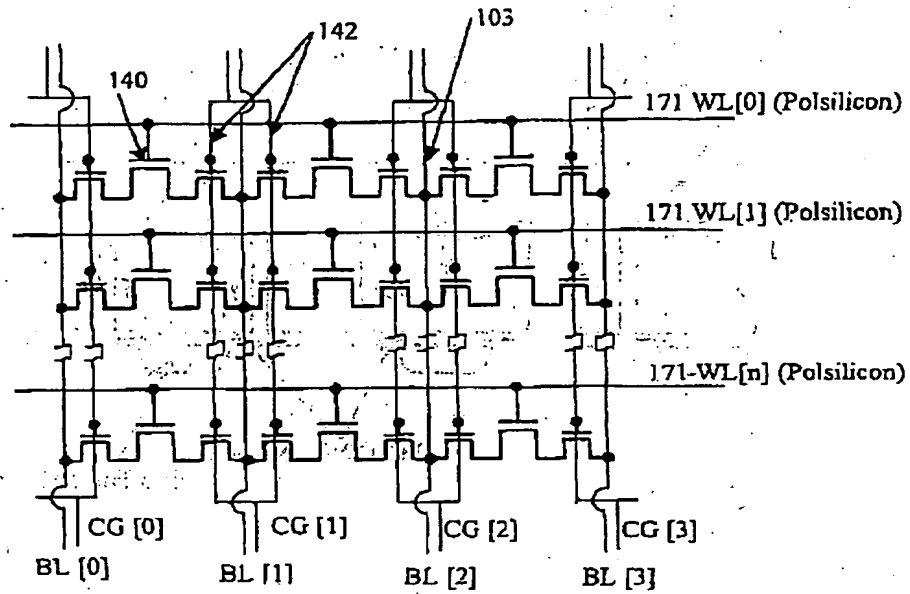


Fig.1B Prior Art

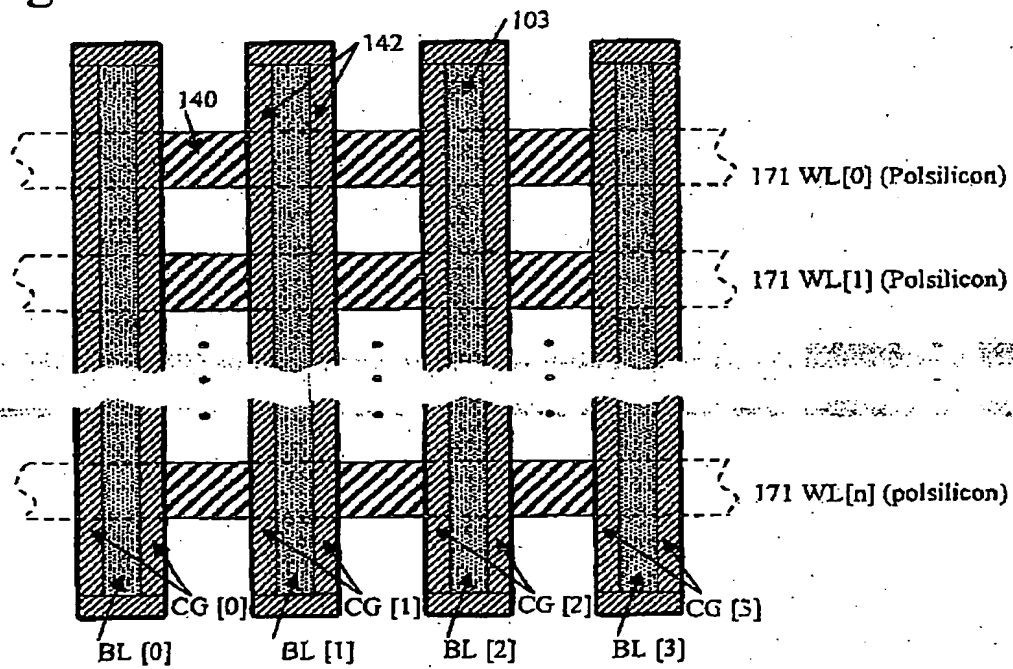


Fig.1C Prior Art

(65)

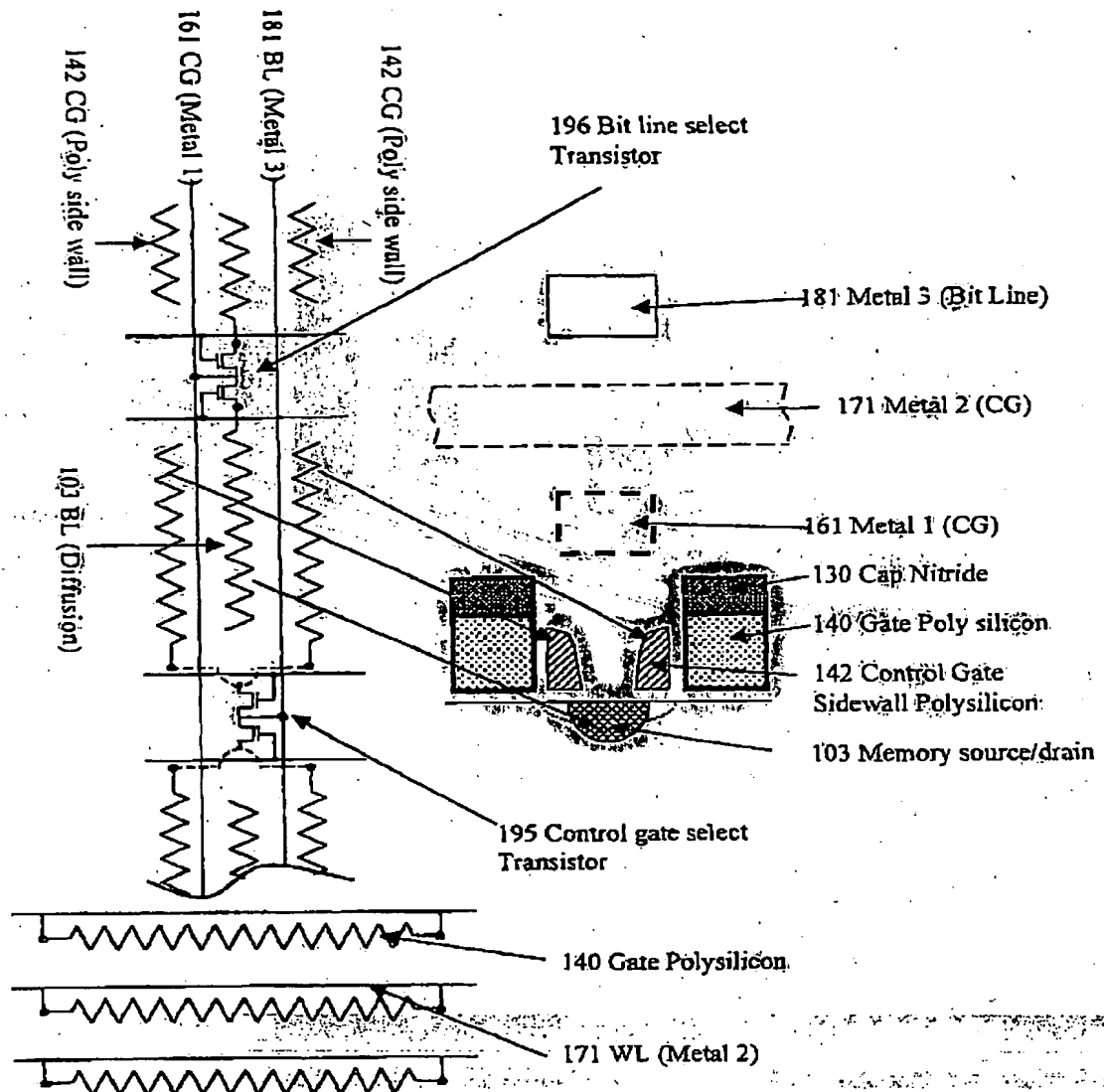


Fig.2

(66)

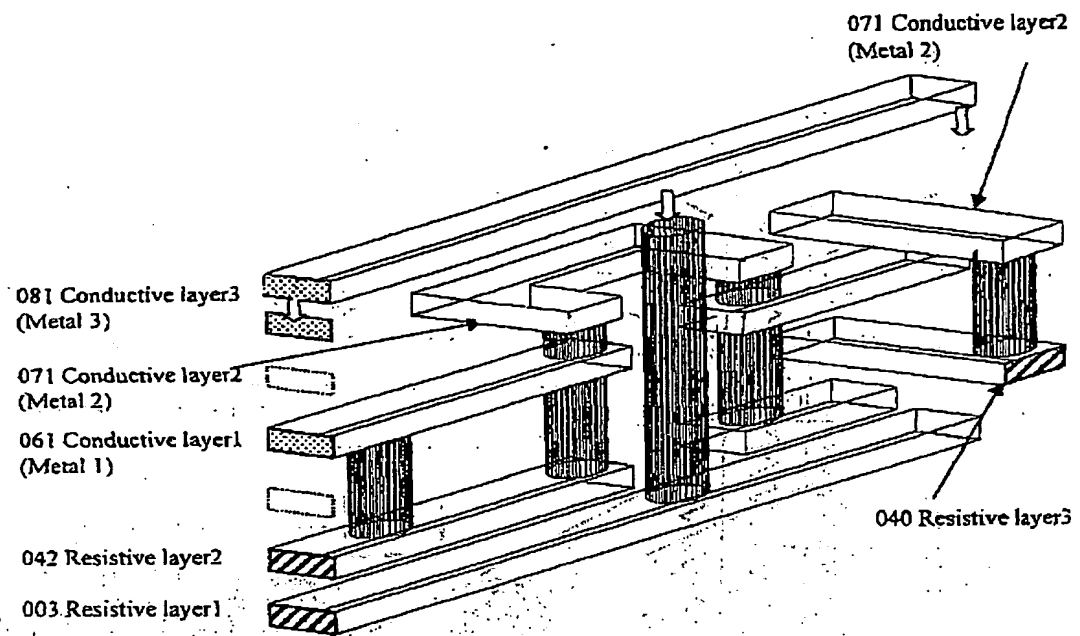


Fig.3

(67)

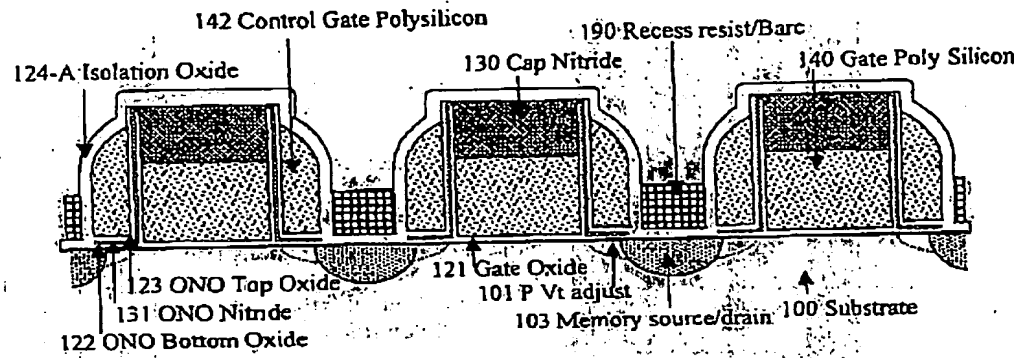


Fig.4A

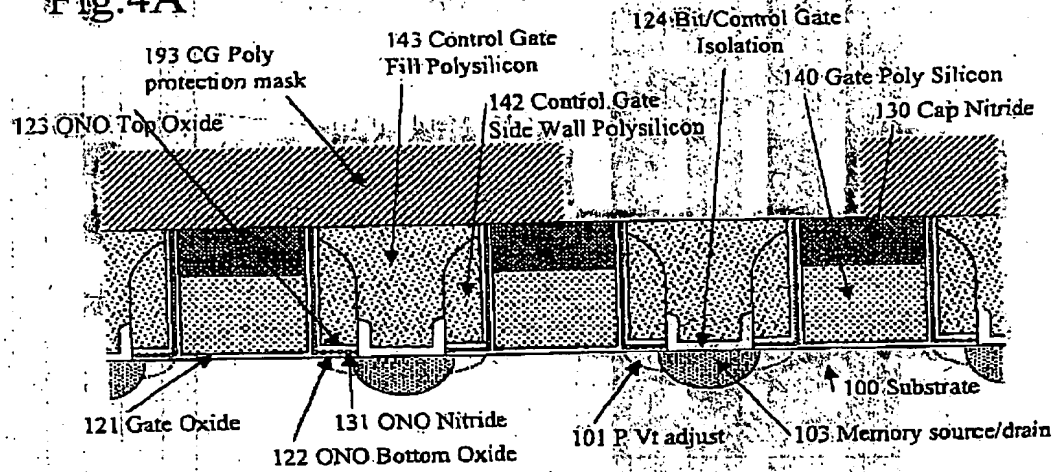


Fig.4B

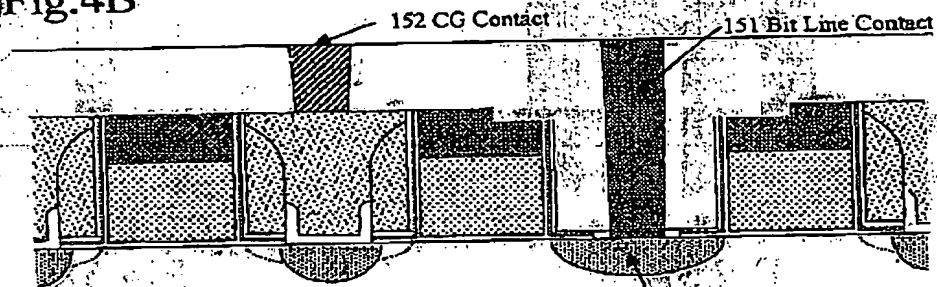


Fig.4C

(68)

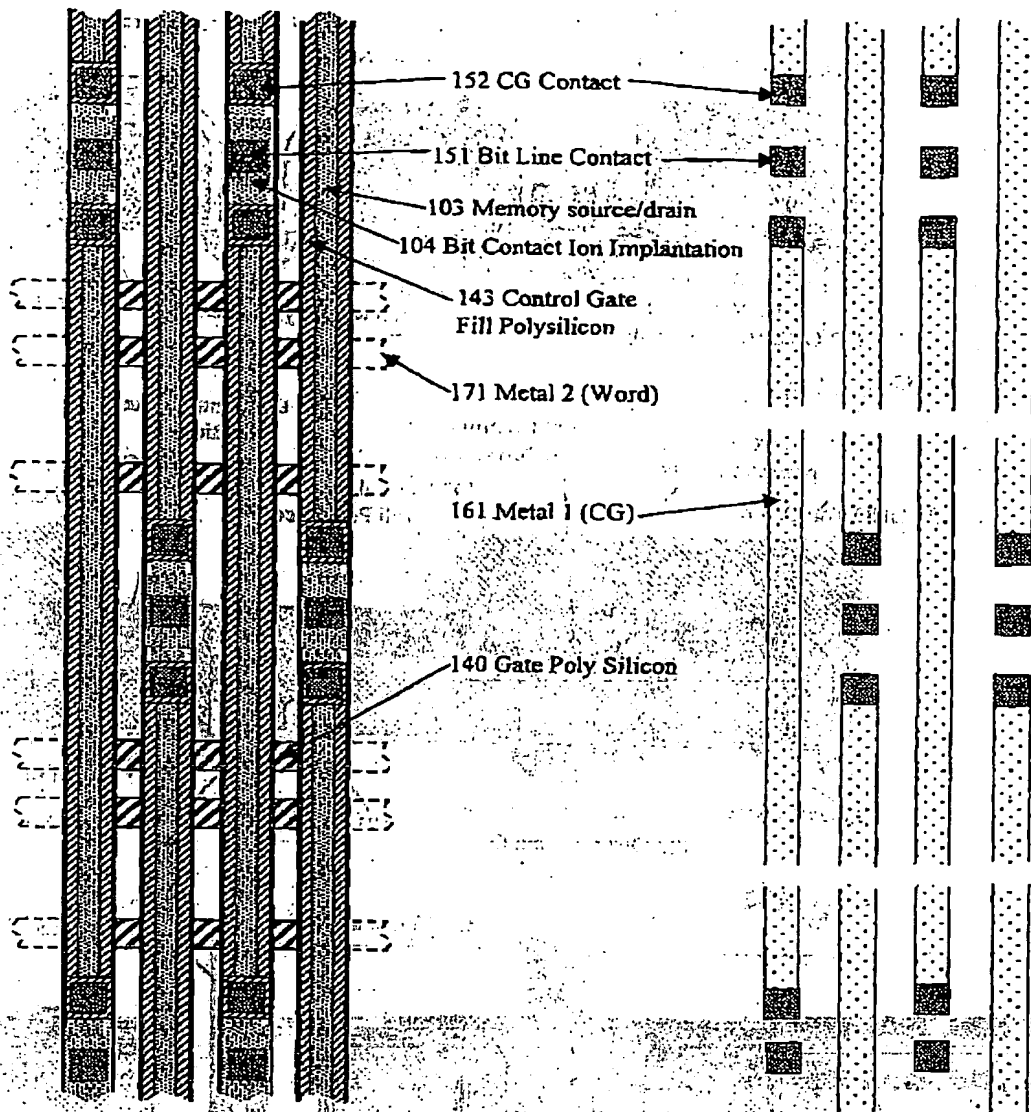


Fig.5A

Fig.5B

(69)

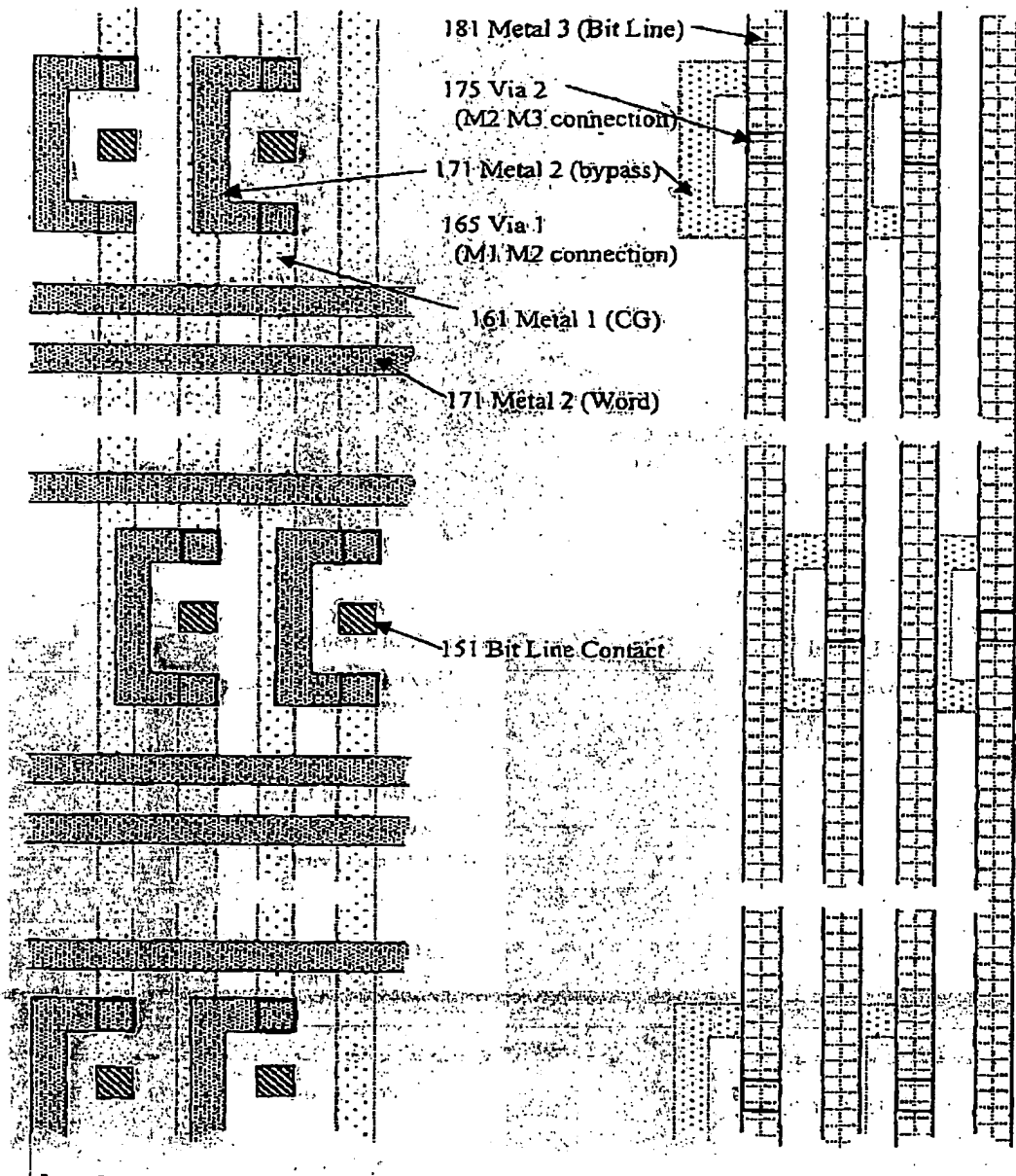


Fig.5C

Fig.5D

(70)

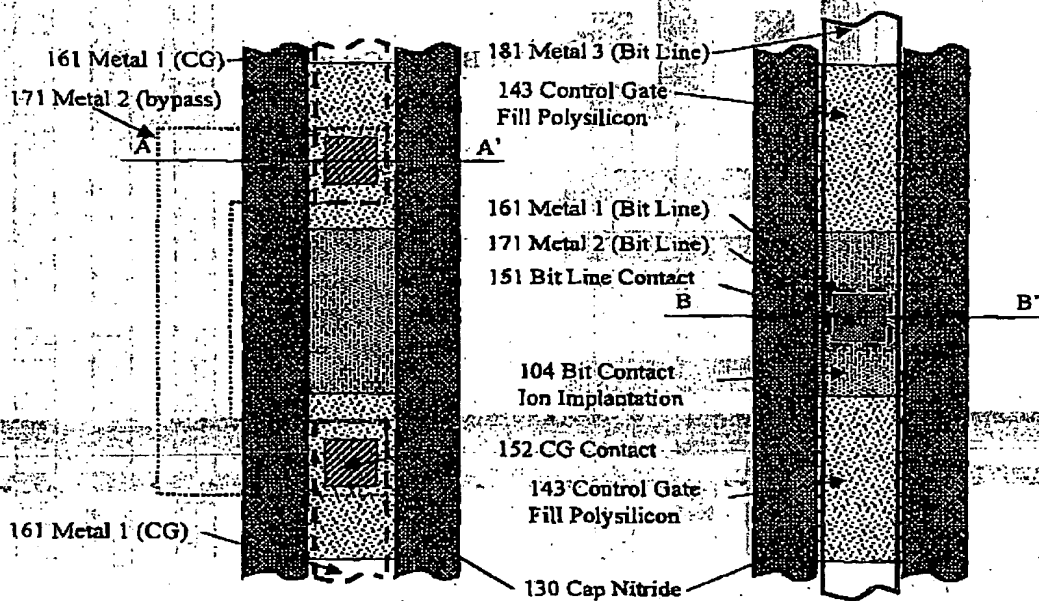
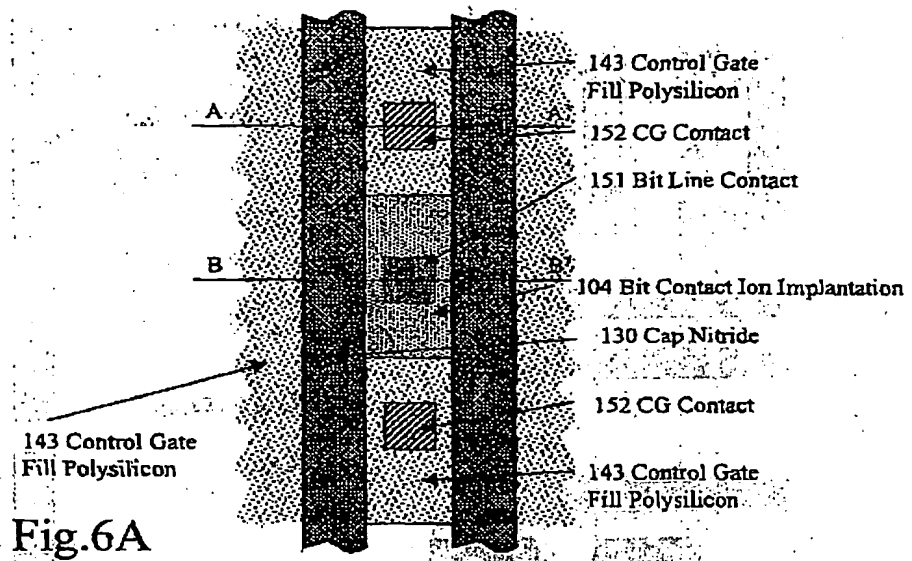


Fig. 6B CG Stitch and Bit Line Stitch

(71)

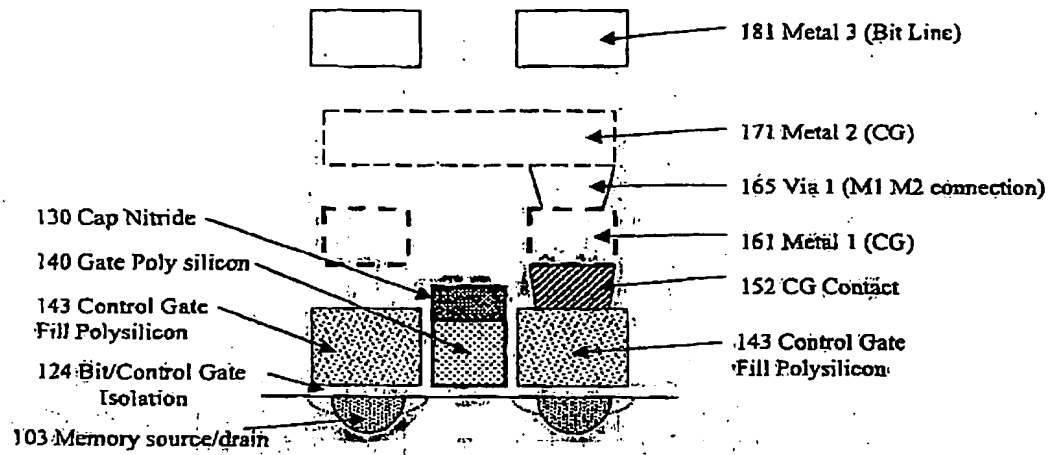


Fig. 6C A-A' Cross section

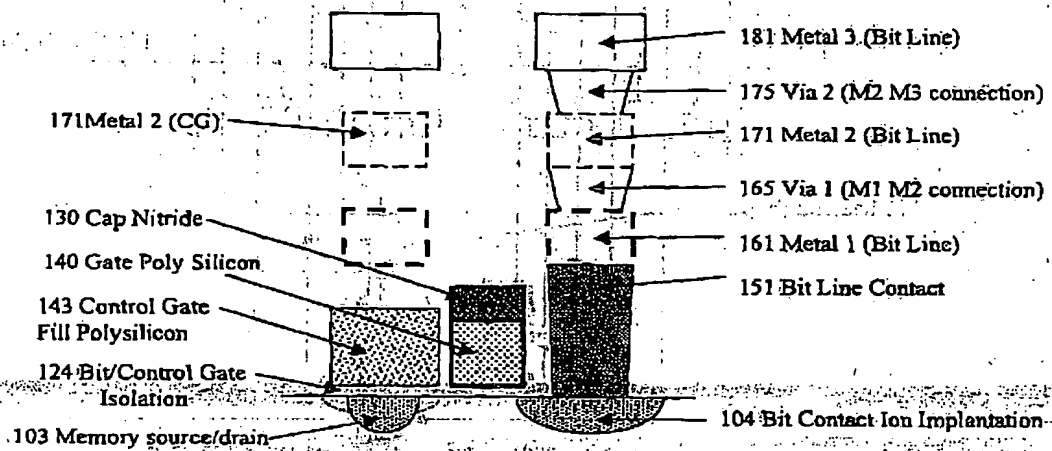


Fig. 6D B-B' Cross section

(72)

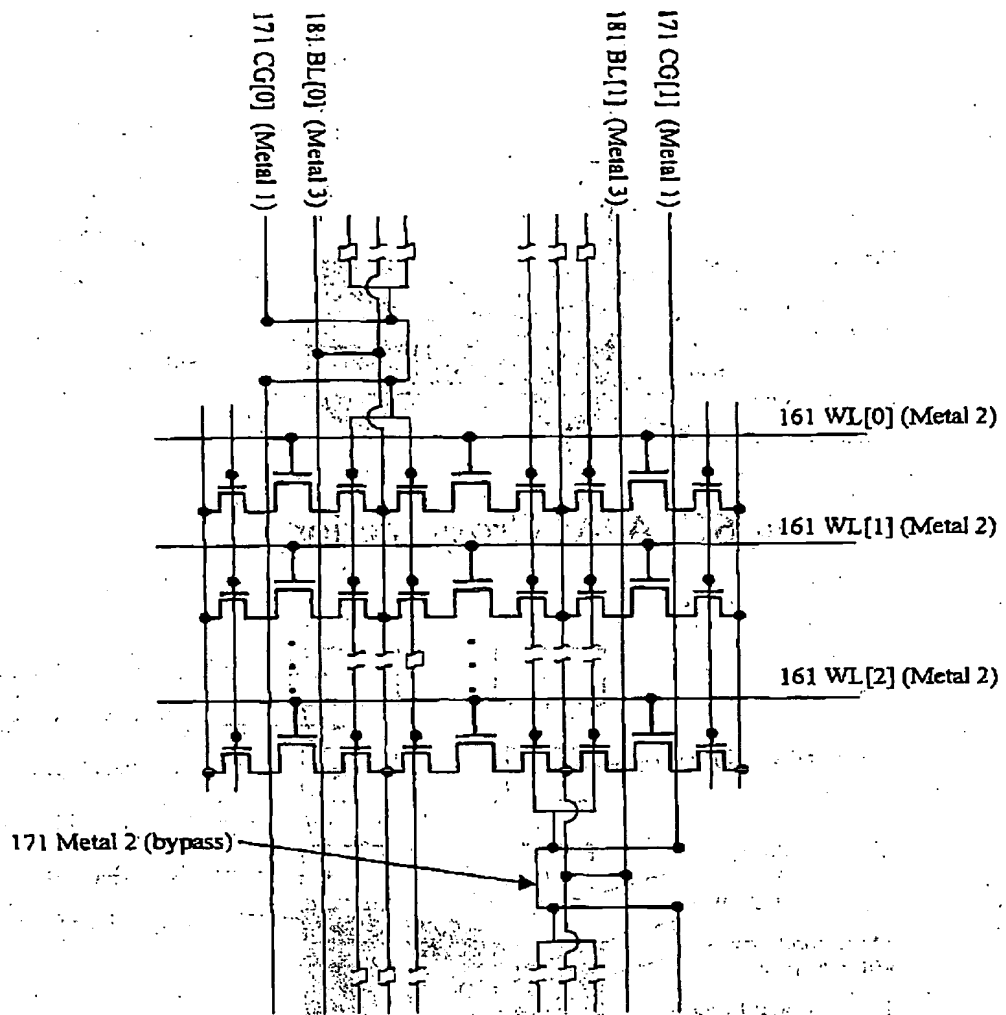


Fig. 6E

(73)

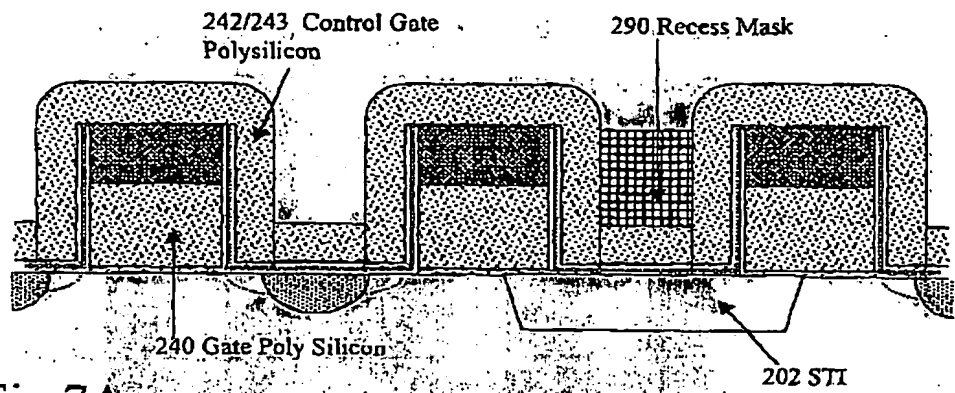


Fig. 7A

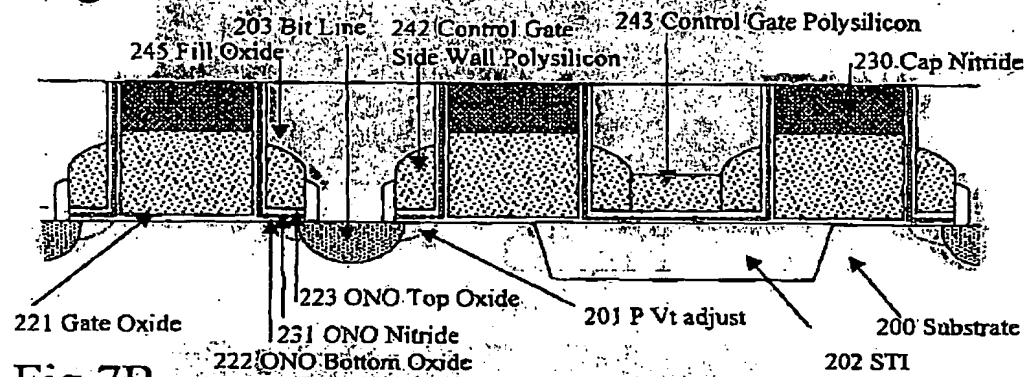


Fig. 7B

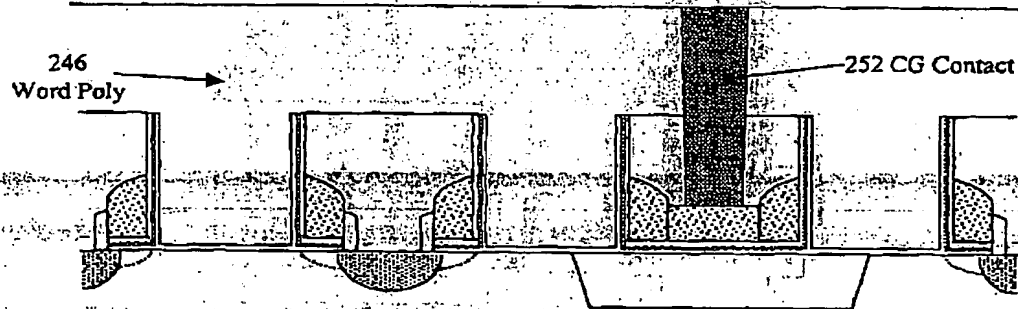


Fig. 7C

(74)

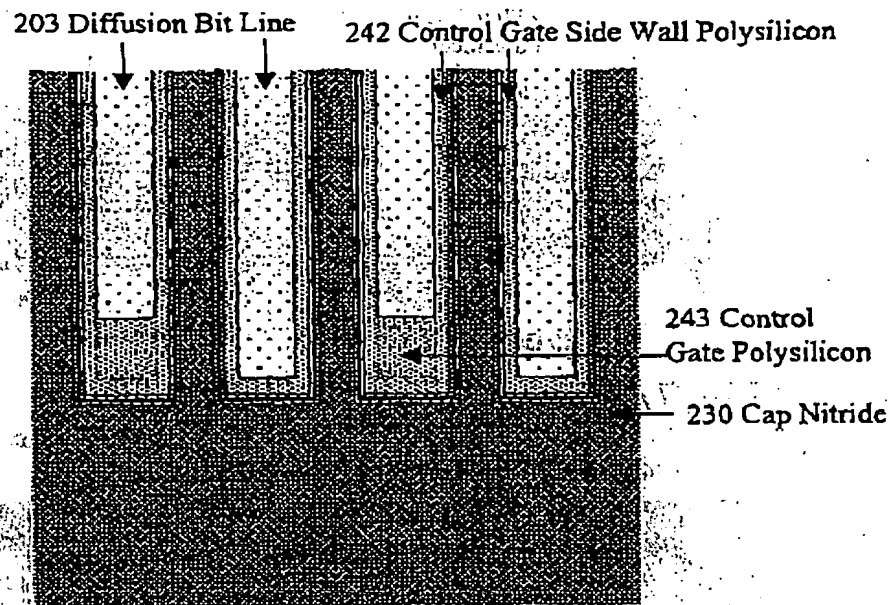


Fig. 7D

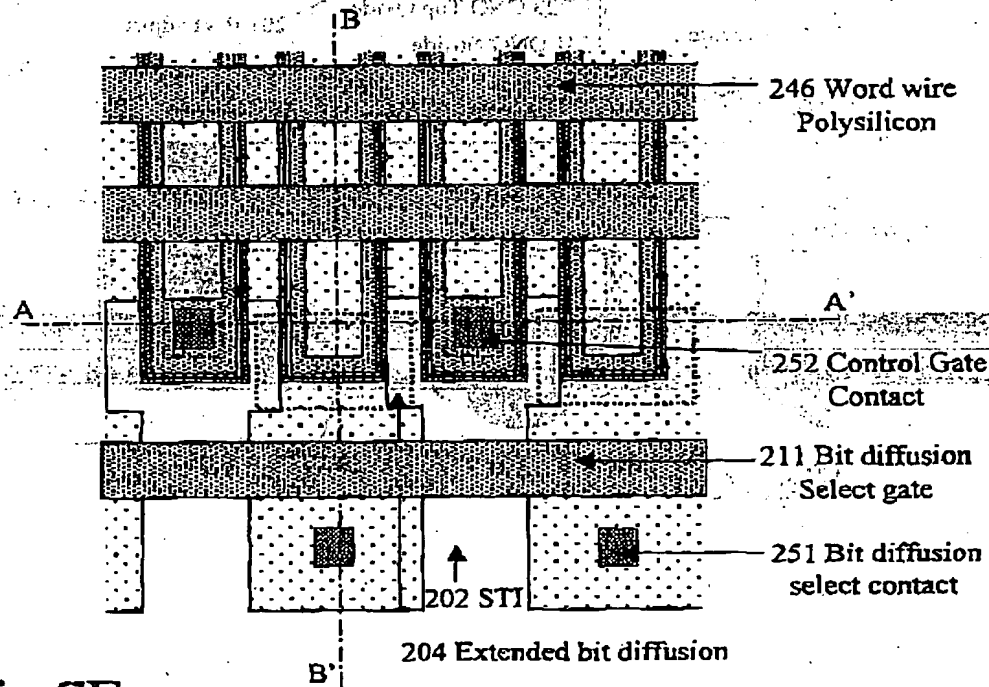
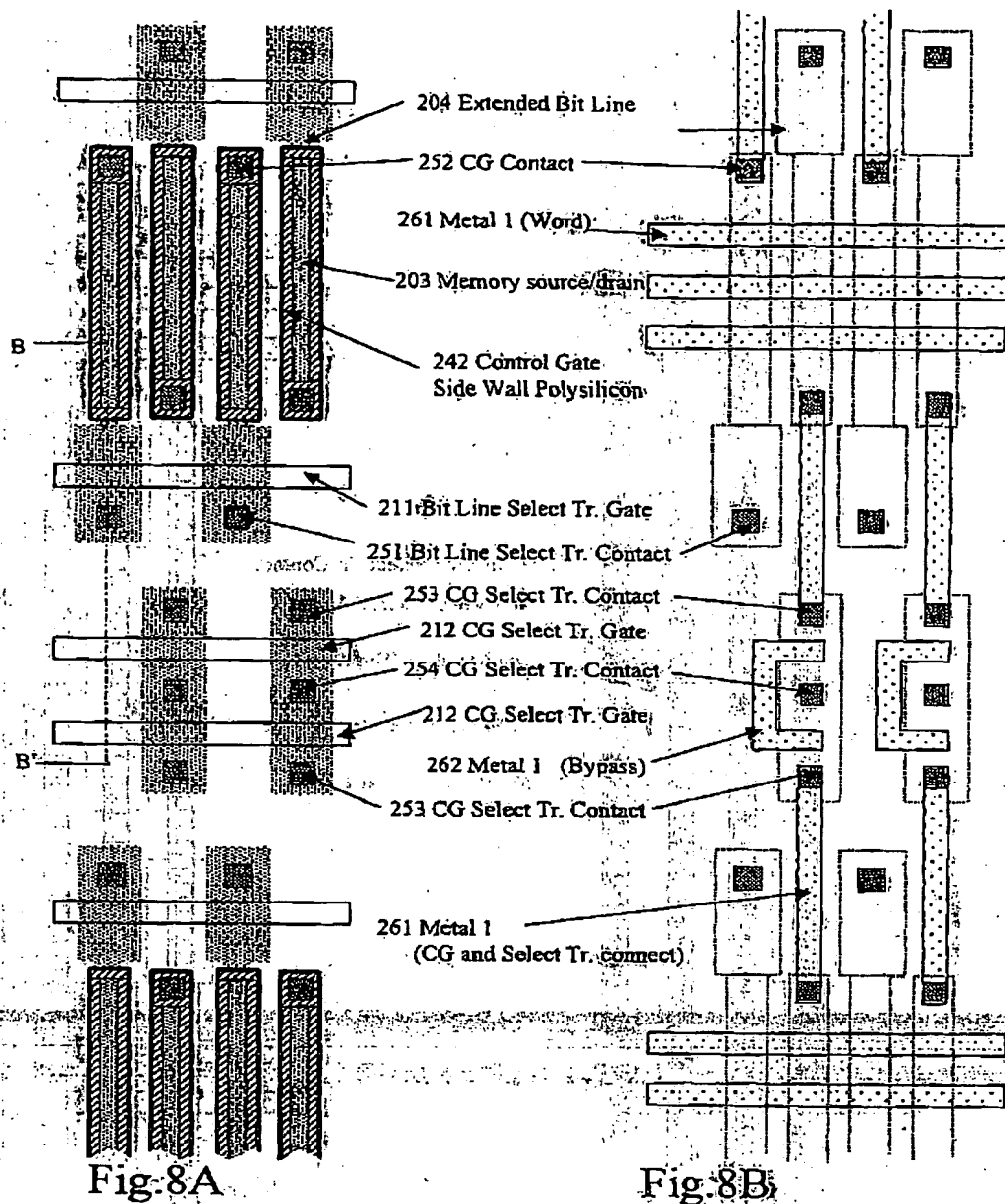


Fig. 7E

(75)



(76)

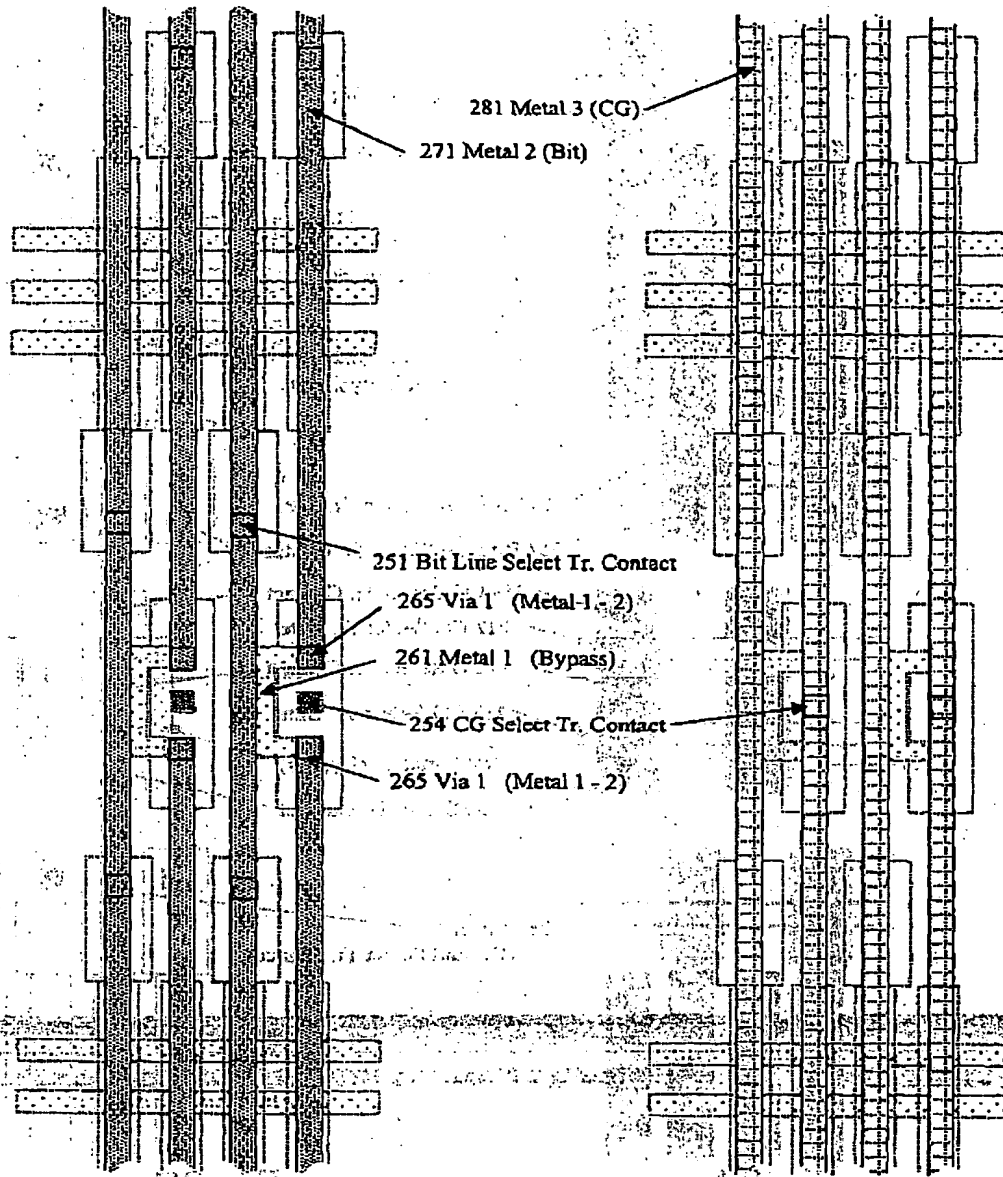


Fig. 8C

Fig. 8D

(77)

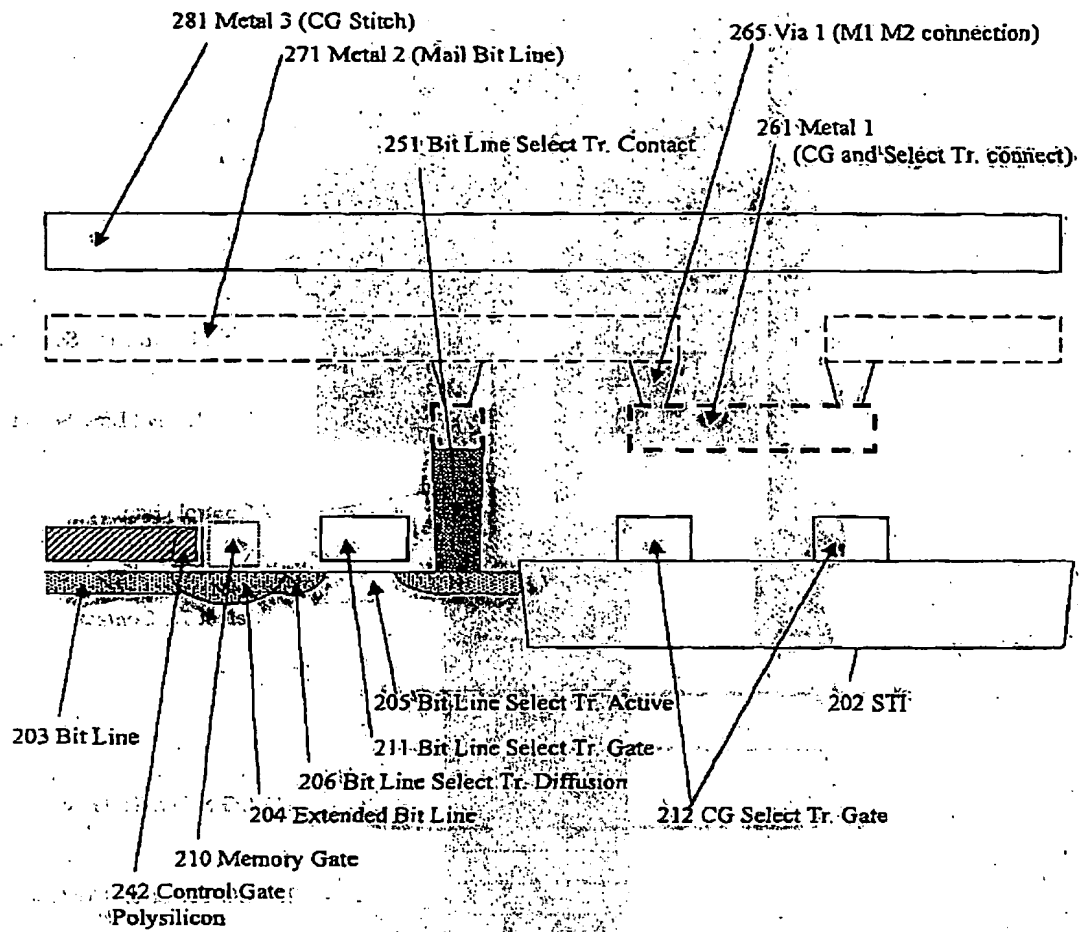
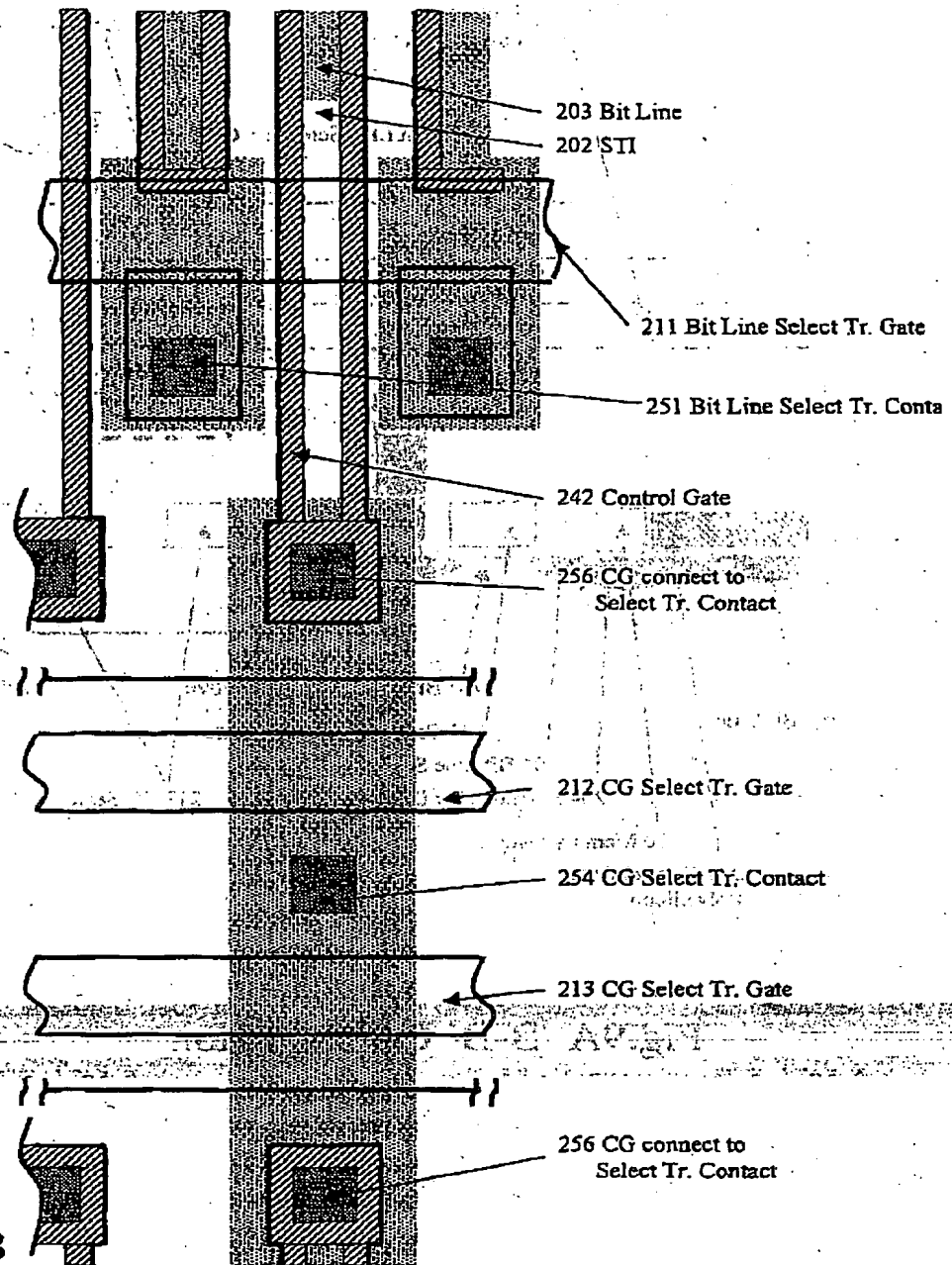


Fig. 9A-B-B' Cross-section

(78)



(79)

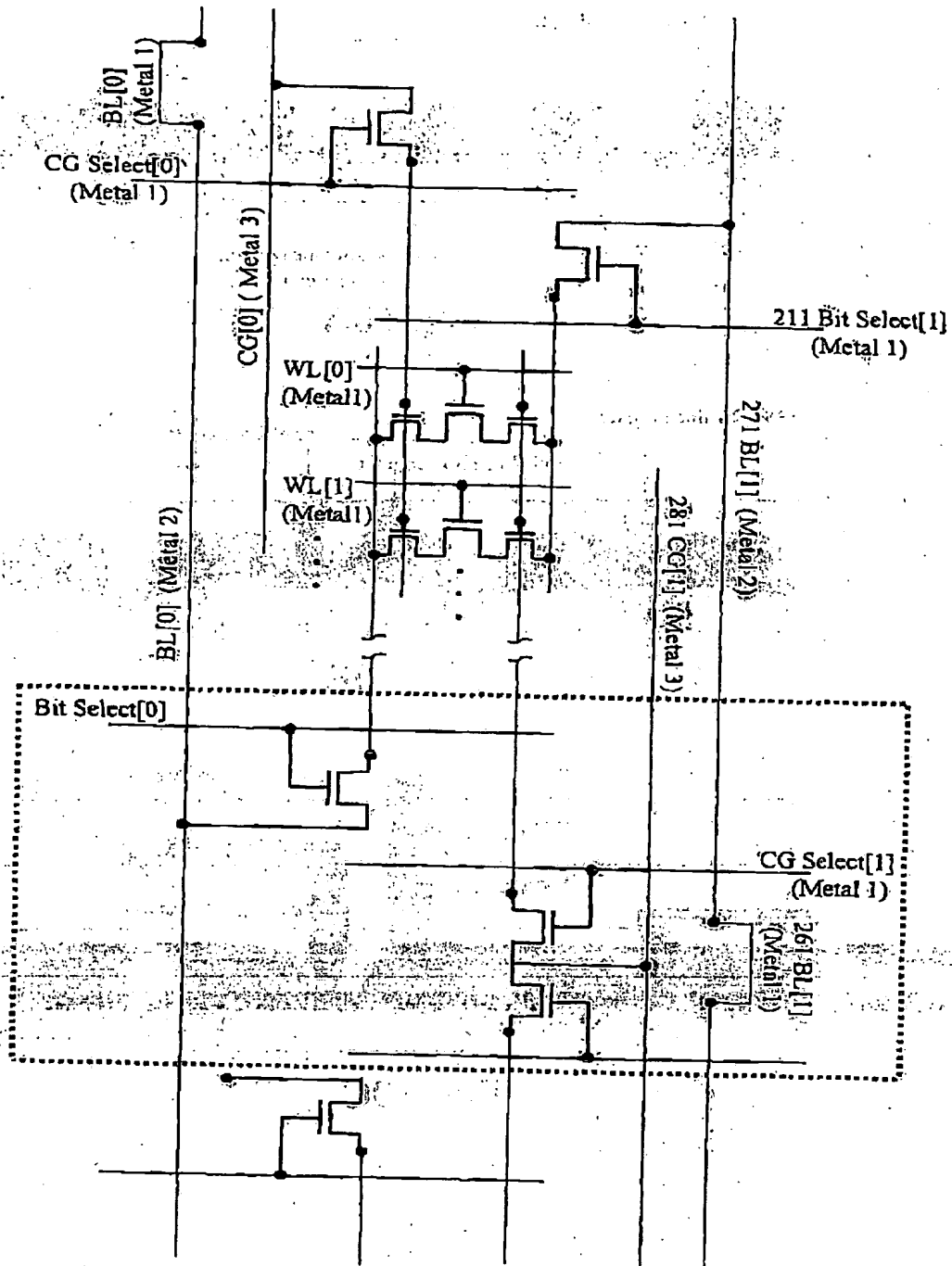


Fig.9C

(80)

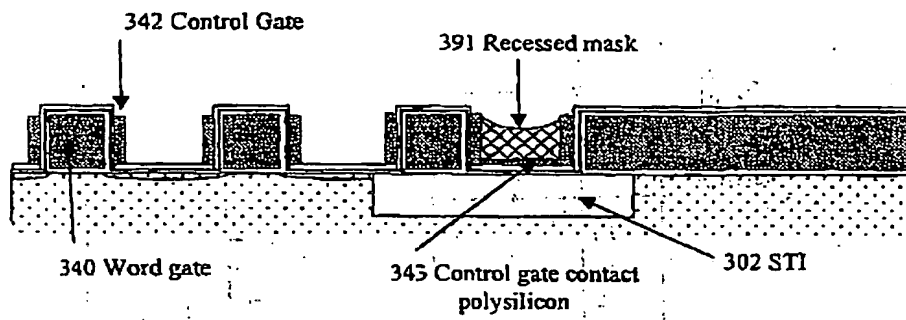


Fig. 10A

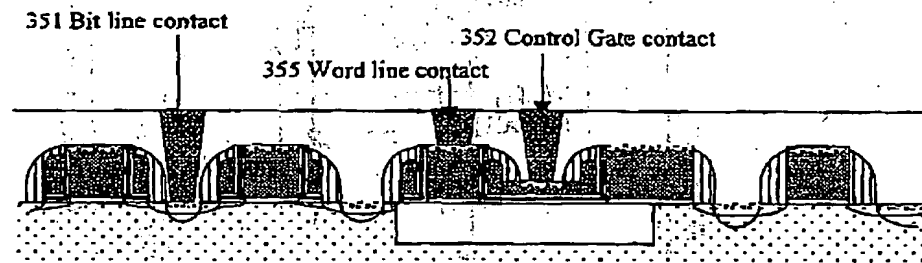


Fig. 10B

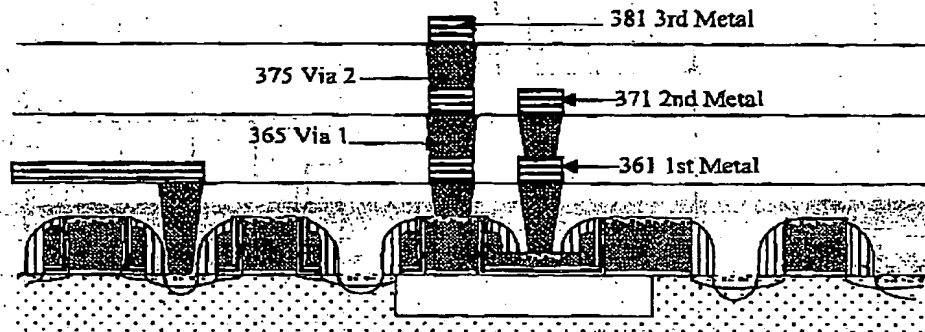


Fig. 10C

(81)

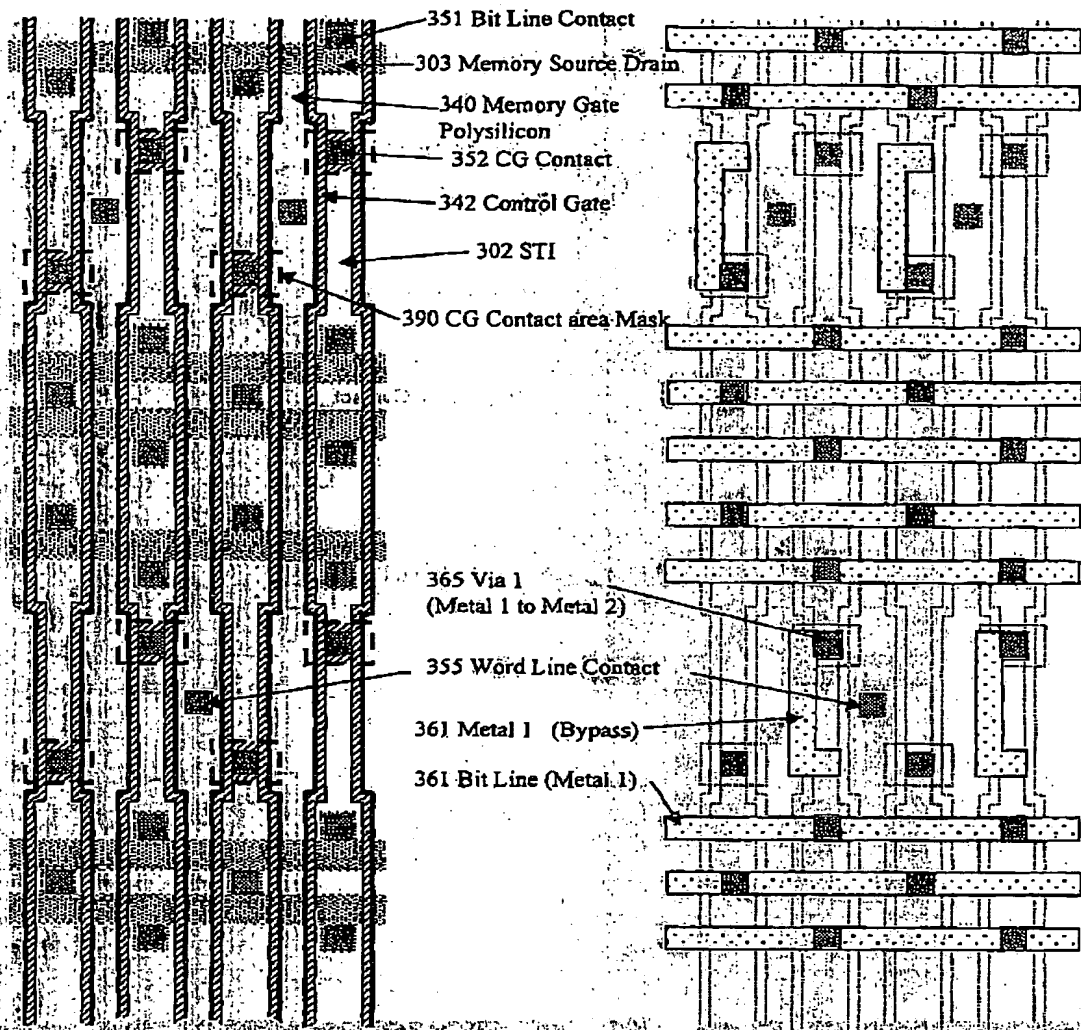


Fig.11A

Fig.11B

(82)

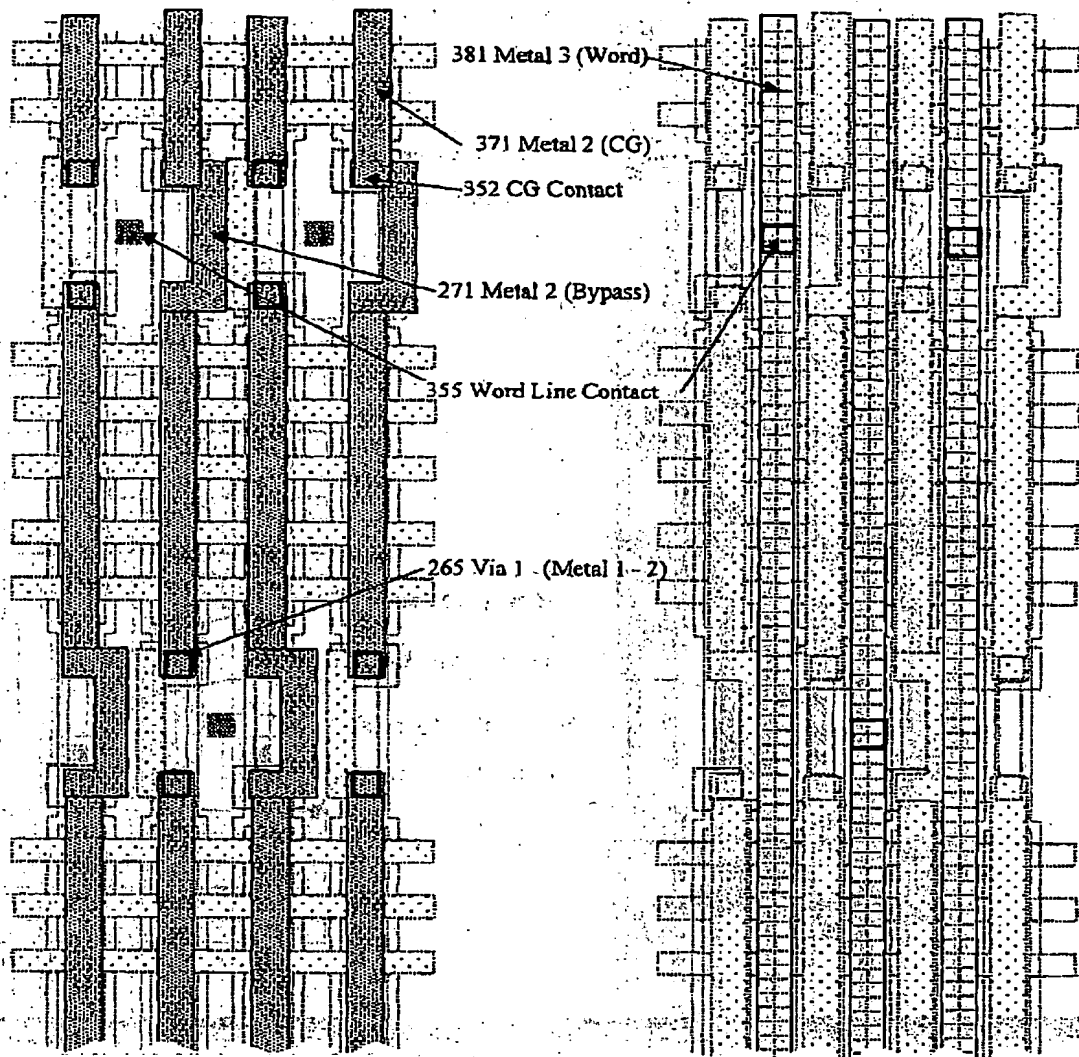


Fig.11C

Fig.11D

(83)

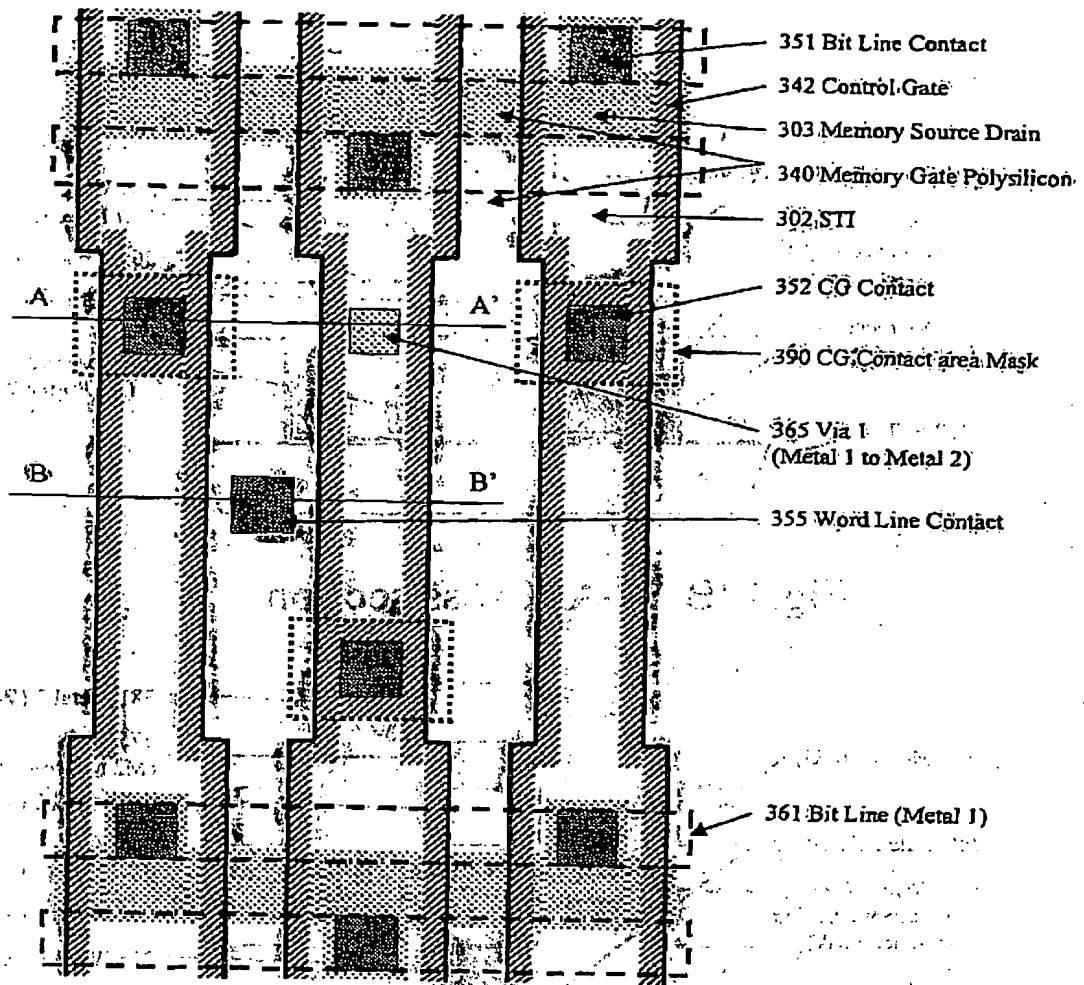


Fig.12A

(84)

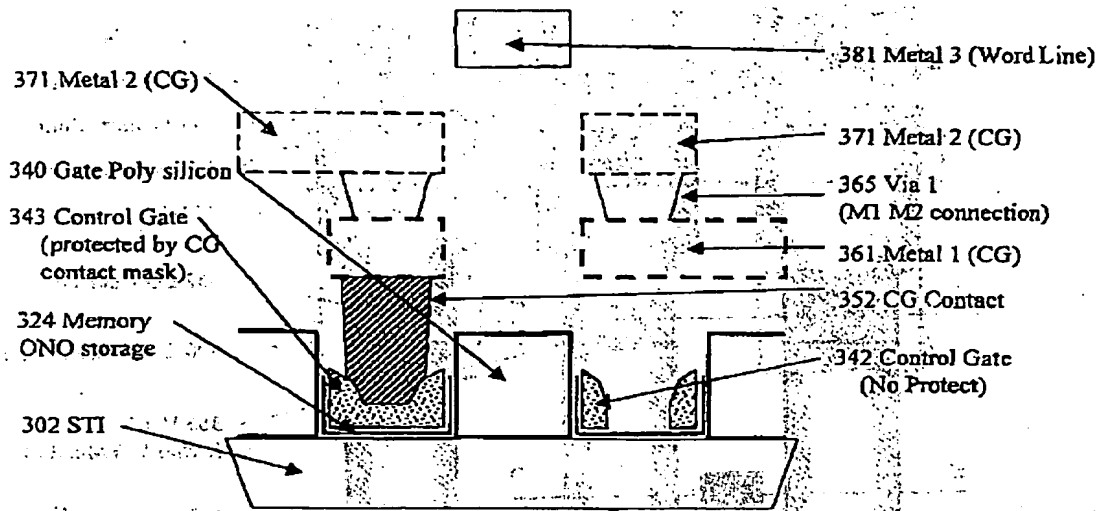


Fig.12B A-A' Cross section

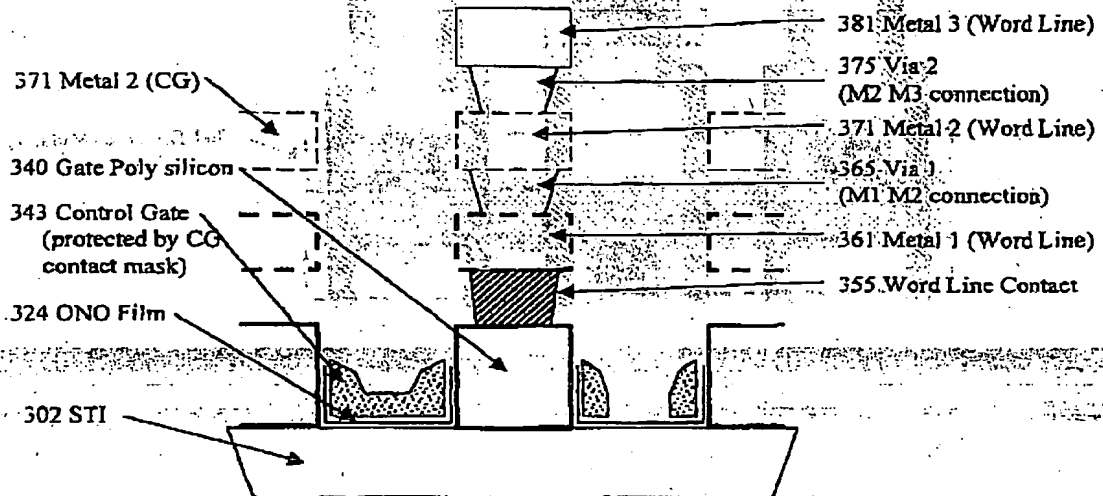


Fig.12C B-B' Cross section

(85)

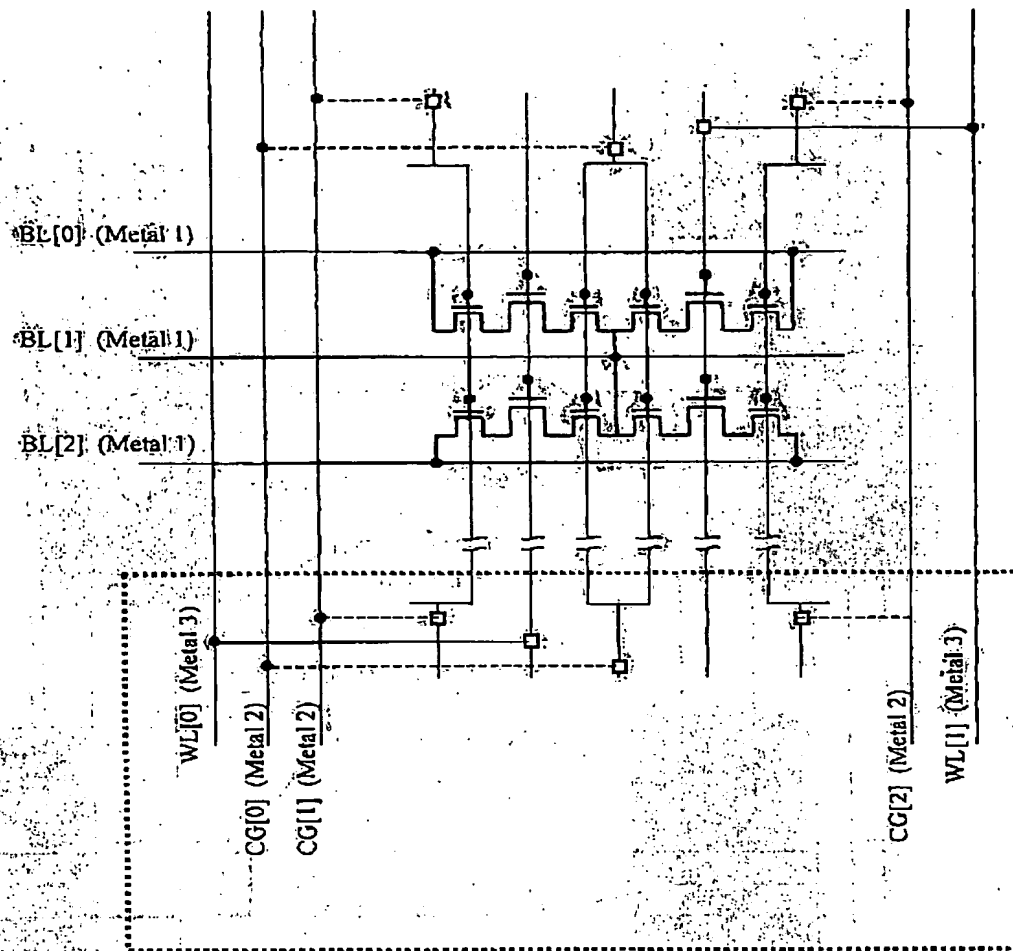


Fig.12D

(86)

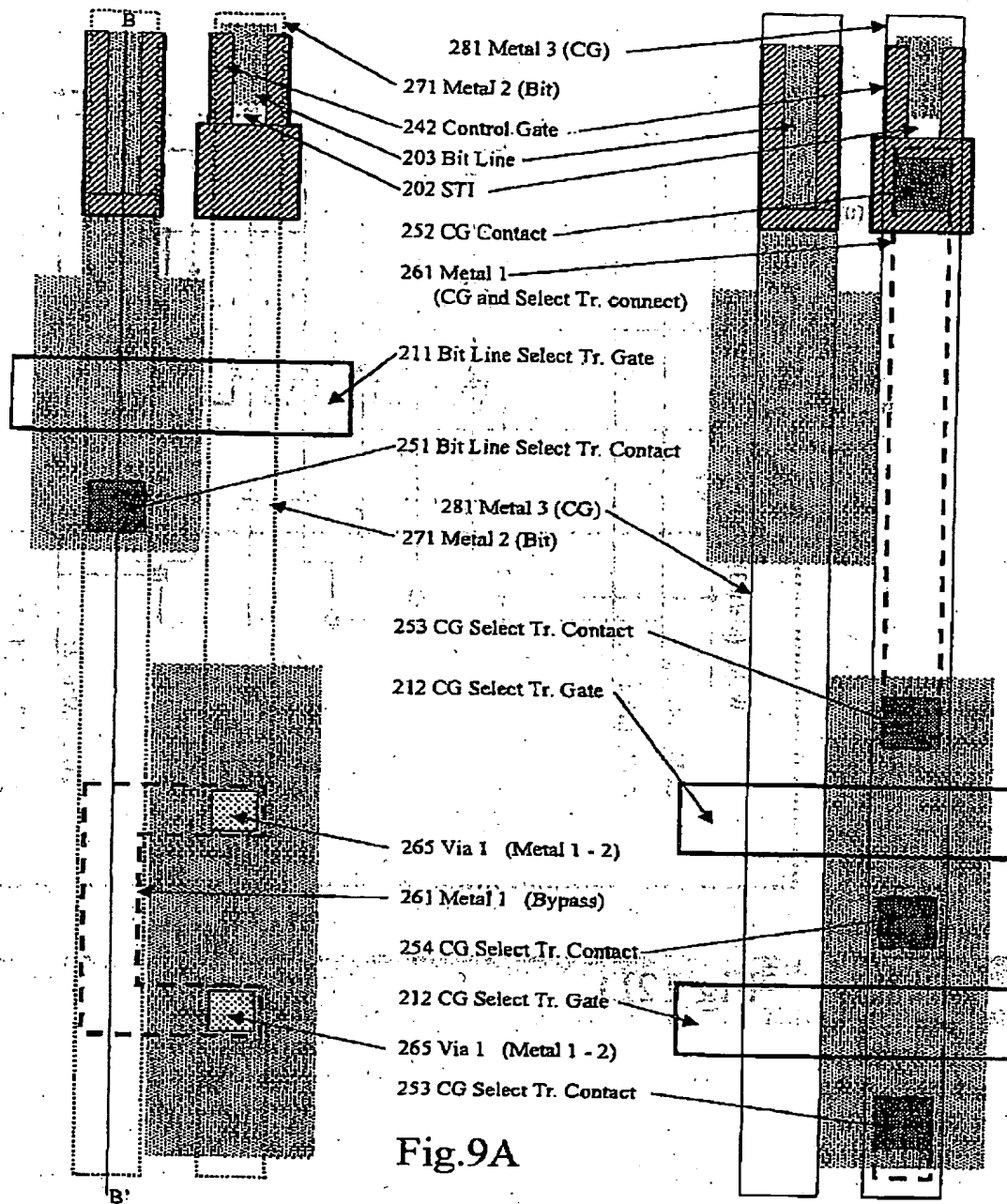


Fig.9A

(87)

ABSTRACT

In this invention, by offering specific array-end structures and their fabrication method, the three resistive layers of diffusion bit line, control gate and word gate polysilicons, where control gate polysilicon can run on top of the diffusion bit line, are most effectively stitched with only three layers of metal lines keeping minimum metal pitches. The stitching method can also incorporate a bit diffusion select transistor and/or a control gate line select transistor. The purpose of the select transistors may be to reduce the overall capacitance of the bit line or control gate line, or to limit the disturb conditions that a grouped sub-array of cells may be subjected to during program and/or erase.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353346

(P2002-353346A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl.⁷

識別記号

F. I.

テマコード (参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

5 F 0 3 3

21/3205

29/78

3 7 1

5 F 0 8 3

27/115

21/88

Z

5 F 1 0 1

29/788

29/792

審査請求 未請求 請求項の数 72 O L 外国語出願 (全 87 頁)

(21) 出願番号

特願2002-86923 (P2002-86923)

(22) 出願日

平成14年3月26日 (2002.3.26)

(31) 優先権主張番号

6/0 / 2 7 8 6 2 2

(32) 優先日

平成13年3月26日 (2001.3.26)

(33) 優先権主張国

米国 (U S)

(71) 出願人 502093450

ヘイロ エルエスアイ インコーポレイテッド

アメリカ合衆国 12590 ニューヨーク州、

ワッピンガーズ、フォールズ、スイート

トゥーハンドレッドアンドサーティ、メイ

ヤーズ、コーナース ロード 169

(72) 発明者 トモコ オグラ

アメリカ合衆国 12533 ニューヨーク州、

ホープウェル ジャンクション、モナーク

ドライブ 10

(74) 代理人 100084870

弁理士 田中 香樹 (外2名)

最終頁に続く

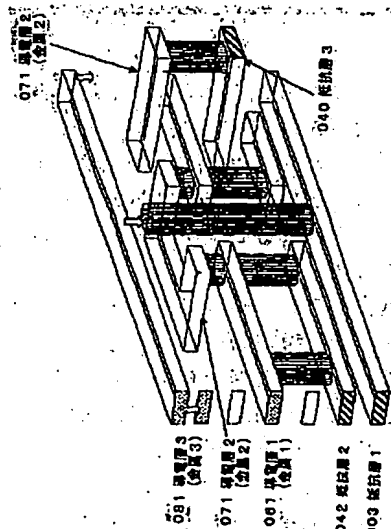
(54) 【発明の名称】 裏打ち T W L N M O N O S メモリアレイにおける配線の裏打ち方法および選択方法

(57) 【要約】

(修正有)

【課題】ビット線、コントロールゲートおよびワードゲートに、最小金属配線ピッチを維持しながら低抵抗金属線を裏打ちする。

【解決手段】本発明では、特別のアレー端構造体及びそれらの製作方法を提供することによって、拡散ビット線、コントロールゲート、及びワードゲート多結晶シリコンの3つの抵抗層（ここでコントロールゲート多結晶シリコンは、拡散ビット線と重なることができる）が、最小金属配線ピッチを維持しながら3層だけの金属線を使用して、最も効果的に裏打ちされる。更に、この裏打ち方法は、ビット拡散選択トランジスタ及び／又はコントロールゲート線選択トランジスタを組み込むことができる。選択トランジスタの目的は、ビット線又はコントロールゲート線の全体的キャパシタンスを低減すること、又はセルをグループ化したサブアレーが、プログラム及び／又は消去の間に受けるうる擾乱条件を抑制することになるであろう。



(2)

1

【特許請求の範囲】

【請求項1】 MONOSメモリアレー内の3つの抵抗層を3つの導電層へ裏打ちする方法であって、前記3つの抵抗層を有するMONOSメモリアレーを提供し、ここで前記3つの抵抗層は下部抵抗層、中間抵抗層、及び上部抵抗層として垂直方向に積層され、前記下部抵抗層及び中間抵抗層は相互に平行になっており、前記上部抵抗層は前記下部抵抗層及び中間抵抗層と直交しており、

前記各抵抗層を、対応した上部導電層によって周期的にコンタクトを取り、ここで前記コンタクトをとることは前記裏打ちをすることとなり、前記コンタクトをとることは、

前記中間抵抗層を前記上部抵抗層の上にある下部導電層へ周期的に接続し、

前記下部抵抗層を露出するため前記中間抵抗層をカットし、

前記露出された下部抵抗層から上部導電層へコンタクト／ビア積層を構築し、

前記中間抵抗層の端を前記中間導電層の端へコンタクトをとることによって前記中間抵抗層のカットされた端を接続し、ここで前記中間導電層は前記下部導電層の上で上部導電層の下にあり、さらに前記コンタクト／ビア積層の周囲をループし、前記上部抵抗層を前記中間導電層に接続することを特徴とする方法。

【請求項2】 前記裏打ちが抵抗線の交互のセットの上で行われる請求項1に記載の方法。

【請求項3】 前記下部抵抗層及び中間抵抗層がビット線及びコントロールゲート線であり、前記上部抵抗層がワードゲート線である請求項1に記載の方法。

【請求項4】 前記下部抵抗層及び中間抵抗層がワード線及びコントロールゲート線であり、前記上部抵抗層がビット線である請求項1に記載の方法。

【請求項5】 前記裏打ちの方法が前記MONOSメモリアレーの抵抗を低減する請求項1に記載の方法。

【請求項6】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内で実行される請求項1に記載の方法。

【請求項7】 MONOSメモリアレー内の3つの抵抗層を3つの導電層へ裏打ちする方法であって、前記3つの抵抗層を有するMONOSメモリアレーを提供し、ここで前記3つの抵抗層は下部抵抗層、中間抵抗層、及び上部抵抗層として垂直方向に積層され、前記下部抵抗層及び中間抵抗層は相互に平行になっており、前記上部抵抗層は前記下部抵抗層及び中間抵抗層と直交しており、

前記抵抗層の各々を、それぞれの上部導電層によって周期的にコンタクトを取り、ここで前記コンタクトをとることは前記裏打ちをすることとなり、前記コンタクトをとることは、

2

前記上部抵抗層を、前記上部抵抗層の上にある下部導電層へ周期的に接続し、

前記中間抵抗層をカットして前記下部抵抗層を露出させ、

前記露出された下部抵抗層から上部導電層へコンタクト／ビア積層を構築し、

前記中間抵抗層の端を前記下部導電層の端へコンタクトをとることによって前記中間抵抗層のカットされた端を接続し、ここで前記下部導電層は前記コンタクト／ビア積層の周囲をループし、

前記中間抵抗層を中間導電層へ接続し、ここで前記中間導電層は前記下部導電層の上及び前記上部導電層の下にあることを特徴とする方法。

【請求項8】 前記裏打ちが抵抗線の交互のセットの上で行われる請求項7に記載の方法。

【請求項9】 前記下部抵抗層及び中間抵抗層がビット線及びコントロールゲート線であり、前記上部抵抗層がワードゲート線である請求項7に記載の方法。

【請求項10】 前記下部抵抗層及び中間抵抗層がワード線及びコントロールゲート線であり、前記上部抵抗層がビット線である請求項7に記載の方法。

【請求項11】 前記裏打ちの方法が前記MONOSメモリアレーの抵抗を低減する請求項7に記載の方法。

【請求項12】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内で実行される請求項7に記載の方法。

【請求項13】 MONOSメモリアレー内で抵抗層を裏打ちする方法であって、

MONOSメモリアレー内に複数のメモリセルを提供し、

各々のメモリセルは、ワードゲートのいずれかの側にある蓄積セルと、前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、

下にある前記ビット拡散接合から電気的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

前記コントロールゲート及び前記ビット拡散接合は平行になっており、前記ワードゲートは前記コントロールゲート及び前記ビット拡散接合と直交しており、

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合部はビット線を形成し、

前記コントロールゲート線を、前記ワードゲート線の上にある下部導電層へ周期的に接続し、

前記コントロールゲート線をカッドして前記ビット線を露出させ、

前記露出されたビット線から上部導電層へコンタクト／

(3)

3

ビア積層を構築し、
前記コントロールゲート線の端を中間導電層の端へコンタクトをとることによって前記コントロールゲート線のカットされた端を接続し、ここで前記中間導電層は前記下部導電層の上、かつ前記上部導電層の下にあり、前記中間導電層は前記コンタクト／ビア積層の周囲をループし、
前記ワードゲート線を前記中間導電層へ接続することを特徴とする方法。

【請求項14】 前記裏打ちが、コントロールゲート線、ビット線およびワード線の交互のセットの上で行われる請求項13に記載の方法。

【請求項15】 前記裏打ち方法が前記MONOSメモリアレーの抵抗を低減する請求項13に記載の方法。

【請求項16】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内で実行される請求項13に記載の方法。

【請求項17】 MONOSメモリアレー内で抵抗層を裏打ちする方法であって、

MONOSメモリアレー内に複数のメモリセルを提供し、

各々のメモリセルは、
ワードゲートのいずれかの側にある蓄積セルと、
前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、
下にある前記ビット拡散接合から電気的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

前記コントロールゲート及び前記ビット拡散接合は平行であり、前記ワードゲートは前記コントロールゲート及び前記ビット拡散接合と直交しており、

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、

前記コントロールゲート線を、前記ワードゲート線の上にある中間導電層へ周期的に接続し、

前記コントロールゲート線をカットして前記ビット線を露出させ、

前記露出されたビット線から上部導電層へコンタクト／ビア積層を構築し、ここで前記上部導電層は前記中間導電層の上にあり、

前記コントロールゲート線の端を下部導電層へコンタクトをとることによって前記コントロールゲート線のカットされた端を接続し、ここで前記下部導電層は前記中間導電層の下にあり、前記下部導電層は前記コンタクト／ビア積層の周囲をループし、

前記ワードゲート線を前記下部導電層へ接続することを特徴とする方法。

4

【請求項18】 前記裏打ちが、コントロールゲート線およびビット線の交互のセットの上で行われる請求項17に記載の方法。

【請求項19】 前記裏打ち方法が前記MONOSメモリアレーの抵抗を低減する請求項17に記載の方法。

【請求項20】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内で実行される請求項17に記載のメモリアレー。

【請求項21】 MONOSメモリアレー内で抵抗層を裏打ちする方法であって、

MONOSメモリアレー内に複数のメモリセルを提供し、

各々のメモリセルは、
ワードゲートのいずれかの側にある蓄積セルと、
前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、
下にある前記ビット拡散接合から電気的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

前記コントロールゲート及び前記ビット拡散接合は平行であり、前記ワードゲートは前記コントロールゲート及び前記ビット拡散接合と直交しており、

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、

前記ワード線、コントロールゲート線、及びビット線の各々を、それぞれの上部導電層によって周期的にコンタクトをとり、ここで前記コンタクトとることは前記裏打ちとなり、

前記コンタクトとることは、

前記コントロールゲート線を、前記ワードゲート線の上にある中間導電層へ周期的に接続し、

前記コントロールゲート線をカットして前記ビット線を露出させ、

前記露出されたビット線から上部導電層へコンタクト／ビア積層を構築し、ここで前記上部導電層は前記中間導電層の上にあり、

前記コントロールゲート線の端を下部導電層へコンタクトをとることによって前記コントロールゲート線のカットされた端を接続し、ここで前記下部導電層は前記中間導電層の下にあり、前記下部導電層は前記コンタクト／ビア積層の周囲をループし、

前記ワードゲート線を前記下部導電層へ接続することを具備し、

選択トランジスタを、前記MONOSメモリセルのサブアレーの間にある前記裏打ちの区域へ付加することを特徴とする方法。

【請求項22】 前記裏打ちが、コントロールゲート線

(4)

5

およびビット線の交互のセットの上で行われる請求項21に記載の方法。

【請求項23】 前記裏打ち方法が前記MONOSメモリアレーの抵抗を低減する請求項21に記載の方法。

【請求項24】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内で実行される請求項21に記載の方法。

【請求項25】 選択トランジスタを、前記MONOSメモリアレーのサブアレーの間にある前記裏打ちの区域へ付加する前記ステップが、
前記コントロールゲートを形成する前に、交互の前記ビット拡散を、前記コントロールゲートのエッジを越えて拡張し、
前記サブアレーの各々のいずれかの側で前記拡張されたビット拡散と交互に、及び前記拡張されたビット拡散を水平に横切って、ビット線選択トランジスタを形成し、
前記中間導電層へのコンタクト積層によって、拡張されないビット拡散を前記ビット線へ接続することを特徴とする請求項21に記載の方法。

【請求項26】 選択トランジスタを、前記MONOSメモリアレーのサブアレーの間にある前記裏打ちの区域へ付加する前記ステップが、
前記サブアレー間に一対のコントロールゲート選択トランジスタを形成し、
浅いトレンチアイソレーション区域の上にコントロールゲートコンタクトを形成し、ここで中央のコントロールゲートコンタクトは、ペアの2つのコントロールゲート選択トランジスタの間にあり、外側のコントロールゲートコンタクトは、前記各々の外側にあり、前記中央のコントロールゲートコンタクトは、前記上部導電層によって前記コントロールゲート線へ接続され、前記外側のコントロールゲートは、最も近い前記サブアレーのコントロールゲートとコンタクトすることを特徴とする請求項21に記載の方法。

【請求項27】 前記サブアレーのコントロールゲートの各々が、前記下部導電層によって前記コントロールゲート選択トランジスタのソース拡散へ接続される請求項21に記載の方法。

【請求項28】 前記サブアレーのコントロールゲートの各々が、対応する前記コントロールゲート選択トランジスタのソース拡散へ拡張され、それによって前記コントロールゲートの各々が、対応するコントロールゲート選択トランジスタのソース拡散へ直接接続される請求項21に記載の方法。

【請求項29】 前記コントロールゲート選択トランジスタが、分離されたPウェル内のNチャネル素子及び独立したNウェル内のPチャネル素子から成る群から選択される請求項26に記載の方法。

【請求項30】 前記一対のコントロールゲート選択トランジスタが前記ワード線と平行であり、前記ビット線

6

及び前記コントロールゲート線と直交している請求項26に記載の方法。

【請求項31】 選択トランジスタを、前記MONOSメモリアレーのサブアレーの間にある前記裏打ちの区域へ付加する前記ステップが、
前記コントロールゲートを形成する前に、交互の前記ビット拡散を、前記コントロールゲートのエッジを越えて拡張し、
前記サブアレーの各々のいずれかの側で前記拡張されたビット拡散と交互に、及び前記拡張されたビット拡散を水平に横切って、ビット線選択トランジスタを形成し、
前記中間導電層へのコンタクト積層によって、拡張されないビット拡散を前記ビット線へ接続し、

10

2つの前記サブアレーの2つのエッジの内側で、前記ビット線選択トランジスタの2つの間に、前記ビット線選択トランジスタと位相が外れた一対のコントロールゲート選択トランジスタを形成し、
浅いトレンチアイソレーション区域の上にコントロールゲートコンタクトを形成し、ここで中央のコントロールゲートコンタクトは、対になった2つのコントロールゲート選択トランジスタの間にあり、外側のコントロールゲートコンタクトは、前記対の各々の外側にあり、前記中央のコントロールゲートコンタクトは、前記上部導電層によって前記コントロールゲート線へ接続され、前記外側のコントロールゲートは、最も近い前記サブアレーのコントロールゲートとコンタクトすることを特徴とする請求項21に記載の方法。

20

【請求項32】 前記サブアレーのコントロールゲートの各々が、前記下部導電層のつによって前記コントロールゲート選択トランジスタのソース拡散領域へ接続される請求項31に記載の方法。

30

【請求項33】 前記サブアレーのコントロールゲートの各々が、対応する前記コントロールゲート選択トランジスタのソース拡散領域へ拡張され、それによって前記コントロールゲートの各々が、対応するコントロールゲート選択トランジスタのソース拡散領域へ直接接続される請求項31に記載の方法。

【請求項34】 前記コントロールゲート選択トランジスタが、分離されたPウェル内のNチャネル素子及び独立したNウェル内のPチャネル素子から成る群から選択される請求項31に記載の方法。

40

【請求項35】 前記一対のコントロールゲート選択トランジスタが前記ワード線と平行であり、前記ビット線及び前記コントロールゲート線と直交する請求項31に記載の方法。

【請求項36】 MONOSメモリアレー内の抵抗層を裏打ちする方法であって、
MONOSメモリアレー内に複数のメモリアレーを提供し、
各々のメモリアレーは、

50

(5)

7

ワードゲートのいずれかの側にある蓄積セルと、前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、下にある前記ビット拡散接合から電氣的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートと、ここで前記コントロールゲート及び前記ワードゲートは平行であり、前記ビット拡散接合は前記コントロールゲート及び前記ワードゲートと直交していることを具備し、前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、前記ビット線を、前記ワードゲート線の上にある下部導電層へ周期的に接続し、前記コントロールゲート線を中間導電層へ周期的に接続し、前記ワードゲート線から前記中間導電層の上にある上部導電層へコンタクト／ビア積層を構築し、前記コントロールゲート線を下部導電層へコンタクトさせ、ここで前記下部導電層は、前記中間導電層の下にあって前記コンタクト／ビア積層の周囲をループすることを特徴とする方法。

【請求項37】 前記裏打ちが、コントロールゲート線およびワード線の交互のセットの上で行われる請求項36に記載の方法。

【請求項38】 前記中間導線及び前記上部導線が金属配線ピッチの半分だけシフトされ、前記中間導電層も前記コンタクト／ビア積層の周囲をループし、前記ステップが、全てのコントロールゲート線の上、及びワード線の交互のセットの上で実行される請求項36に記載の方法。

【請求項39】 前記裏打ち方法が前記MONOSメモリアレーの抵抗を低減する請求項36に記載の方法。

【請求項40】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内で実行される請求項36に記載の方法。

【請求項41】 裏打ちされたMONOSメモリアレーであって、3つの抵抗層と、ここで前記3つの抵抗層は下部抵抗層、中間抵抗層、及び上部抵抗層として垂直に積層され、前記下部抵抗層及び中間抵抗層は相互に平行であり、前記上部抵抗層は前記下部抵抗層及び中間抵抗層と直交しており、前記抵抗層の各々を、それぞれの上部導電層へ周期的にコンタクトさせる裏打ちとを具備し、

前記裏打ちは、前記中間抵抗層から前記上部抵抗層の上にある下部導電層への接続と、前記下部抵抗層から上部導電層へのコンタクト／ビア積層と、

8

前記中間抵抗層のカットされた端を接続する中間導電層と、ここで前記中間導電層は前記下部導電層の上及び前記上部導電層の下にあり、前記中間導電層は前記コンタクト／ビア積層の周囲をループし、前記上部抵抗層から前記中間導電層への接続とを具備するメモリアレー。

【請求項42】 前記裏打ちが抵抗線の交互のセットの上に置かれる請求項41に記載のメモリアレー。

【請求項43】 前記下部抵抗層及び中間抵抗層がビット線及びコントロールゲート線であり、前記上部抵抗層がワードゲート線である請求項41に記載のメモリアレー。

【請求項44】 前記下部抵抗層及び中間抵抗層がワード線及びコントロールゲート線であり、前記上部抵抗層がビット線である請求項41に記載のメモリアレー。

【請求項45】 前記裏打ちにより前記MONOSメモリアレーの抵抗が低減される請求項41に記載のメモリアレー。

【請求項46】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内である請求項41に記載のメモリアレー。

【請求項47】 裏打ちされたMONOSメモリアレーであって、3つの抵抗層と、ここで前記3つの抵抗層は下部抵抗層、中間抵抗層、及び上部抵抗層として垂直に積層され、前記下部抵抗層及び中間抵抗層は相互に平行であり、前記上部抵抗層は前記下部抵抗層及び中間抵抗層と直交しており、

前記抵抗層の各々を、それぞれの上部導電層によって周期的にコンタクトさせる裏打ちとを具備し、

前記裏打ちは、前記上部抵抗層から前記上部抵抗層の上にある下部導電層への接続と、

前記下部抵抗層から上部導電層へのコンタクト／ビア積層と、

前記中間抵抗層のカットされた端を接続する下部導電層と、ここで前記下部導電層は前記コンタクト／ビア積層の周囲をループし、

前記中間抵抗層から中間導電層への接続とを具備し、前記中間導電層は前記下部導電層の上及び前記上部導電層の下にあることを特徴とするメモリアレー。

【請求項48】 前記裏打ちが、抵抗線の交互のセットの上に置かれる請求項47に記載のメモリアレー。

【請求項49】 前記下部抵抗層及び中間抵抗層がビット線及びコントロールゲート線であり、前記上部抵抗層がワードゲート線である請求項47に記載のメモリアレー。

【請求項50】 前記下部抵抗層及び中間抵抗層がワード線及びコントロールゲート線であり、前記上部抵抗層がビット線である請求項47に記載のメモリアレー。

【請求項51】 前記裏打ちにより前記MONOSメモ

9

リアレーの抵抗が低減される請求項47に記載のメモリアレー。

【請求項52】 前記裏打ちが、最小金属配線ピッチによって制限されるセルサイズ内にある請求項47に記載のメモリアレー。

【請求項53】 裏打ちされたMONOSメモリアレーであって、

MONOSメモリアレー内の複数のメモリセルと、
各々のメモリセルは、

ワードゲートのいずれかの側にある蓄積セルと、

前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、

下にある前記ビット拡散接合から電氣的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

前記コントロールゲート及び前記ビット拡散接合は平行であり、前記ワードゲートは前記コントロールゲート及び前記ビット拡散接合と直交しており、

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、

前記コントロールゲート線から前記ワードゲート線の上にある下部導電層への接続と、

前記ビット線から上部導電層へのコンタクト／ビア積層と、

前記コントロールゲート線のカットされた端を接続する中間導電層と、ここで前記中間導電層は前記下部導電層

の上及び前記上部導電層の下にあり、前記中間導電層は前記コンタクト／ビア積層の周囲をループし、

前記ワードゲート線から前記中間導電層への接続とを具備するメモリアレー。

【請求項54】 前記接続が、コントロールゲート線、ビット線、及びワード線の交互のセットの上にある請求項53に記載のメモリアレー。

【請求項55】 裏打ちされたMONOSメモリアレーであって、

MONOSメモリアレー内の複数のメモリセルと、
各々のメモリセルは、

ワードゲートのいずれかの側にある蓄積セルと、

前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、

下にある前記ビット拡散接合から電氣的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

前記コントロールゲート及び前記ビット拡散接合は平行であり、前記ワードゲートは前記コントロールゲート及び前記ビット拡散接合と直交しており、

(6)

10

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、

前記コントロールゲート線から前記ワードゲート線の上にある中間導電層への接続と、

前記ビット線から上部導電層へのコンタクト／ビア積層と、ここで前記上部導電層は前記中間導電層の上にある、

10 前記コントロールゲート線のカットされた端を接続する下部導電層と、ここで前記下部導電層は前記中間導電層の下にあり、前記下部導電層は前記コンタクト／ビア積層の周囲をループし、

前記ワードゲート線から前記下部導電層への接続とを具備するメモリアレー。

【請求項56】 前記接続が、コントロールゲート線およびビット線の交互のセットの上にある請求項55に記載のメモリアレー。

【請求項57】 裏打ちされたMONOSメモリアレーであって、

MONOSメモリアレー内の複数のメモリセルと、
各々のメモリセルは、

ワードゲートのいずれかの側にある蓄積セルと、

前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、

下にある前記ビット拡散接合から電氣的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

30 前記コントロールゲート及び前記ビット拡散接合は平行であり、前記ワードゲートは前記コントロールゲート及び前記ビット拡散接合と直交しており、

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、

前記ワード線、コントロールゲート線、及びビット線の各々を、それぞれの上部導電層で周期的にコンタクトさせる裏打ちと、

40 前記コンタクトは、
前記コントロールゲート線から前記ワードゲート線の上にある中間導電層への接続と、

前記ビット線から上部導電層へのコンタクト／ビア積層と、ここで前記上部導電層は前記中間導電層の上にある、

前記コントロールゲート線のカットされた端を接続する下部導電層と、ここで前記下部導電層は前記中間導電層の下にあり、前記下部導電層は前記コンタクト／ビア積層の周囲をループし、

50 前記ワードゲート線から前記下部導電層への接続とを具

(7)

11

備し、

前記MONOSメモリセルのサブアレーの間で前記裏打ちの区域にある選択トランジスタとを具備するメモリアレー。

【請求項58】 前記裏打ちが、コントロールゲート線およびビット線、の交互のセットの上にある請求項57に記載のメモリアレー。

【請求項59】 前記選択トランジスタが、前記コントロールゲートのエッジを越える交互の前記ビット拡散と、

前記サブアレーの各々のいずれかの側で前記拡張されたビット拡散と交互に、また前記拡張されたビット拡散を水平に横切って、置かれたビット線選択トランジスタと、ここで拡張されていない前記ビット拡散は、前記中間導電層へのコンタクト積層によって前記ビット線へ接続されることを特徴とする請求項57に記載のメモリアレー。

【請求項60】 前記選択トランジスタが、前記サブアレーの間のコントロールゲート選択トランジスタのペアと、

浅いトレンチアイソレーション区域の上のコントロールゲートコンタクトとを具備し、

中央のコントロールゲートコンタクトは、ペアの2つのコントロールゲート選択トランジスタの間にあり、外側のコントロールゲートコンタクトは、前記ペアの各々の外側にあり、前記中央のコントロールゲートコンタクトは、前記上部導電層によって前記コントロールゲート線へ接続され、前記外側のコントロールゲートは最も近い

前記サブアレーのコントロールゲートとコンタクトする請求項57に記載のメモリアレー。

【請求項61】 前記サブアレーのコントロールゲートの各々が、前記下部導電層によって前記コントロールゲート選択トランジスタのソース拡散領域へ接続される請求項60に記載のメモリアレー。

【請求項62】 前記サブアレーのコントロールゲートの各々が、対応する前記コントロールゲート選択トランジスタのソース拡散へ拡張され、それによって前記コントロールゲートの各々が、対応するコントロールゲート選択トランジスタのソース拡散へ直接接続される請求項60に記載のメモリアレー。

【請求項63】 前記コントロールゲート選択トランジスタが、絶縁されたPウェル内のNチャネル素子及び独立したNウェル内のPチャネル素子から成る群から選択される請求項60に記載のメモリアレー。

【請求項64】 前記一对のコントロールゲート選択トランジスタが前記ワード線と平行であり、前記ビット線及び前記コントロールゲート線と垂直である請求項60に記載のメモリアレー。

【請求項65】 前記選択トランジスタが、前記コントロールゲートのエッジを越える交互の前記ビ

12

ット拡散と、

前記サブアレーの各々のいずれかの側で前記拡張されたビット拡散と交互に、また前記拡張されたビット拡散を水平に横切って、置かれたビット線選択トランジスタと、ここで拡張されていない前記ビット拡散は、前記中間導電層へのコンタクト積層によって前記ビット線へ接続され、

2つの前記サブアレーの2つのエッジの内側で、前記ビット線選択トランジスタの2つの間に、前記ビット線選択トランジスタと位相外れに置かれたコントロールゲート選択トランジスタのペアと、

浅いトレンチアイソレーション区域の上のコントロールゲートコンタクトと、ここで中央のコントロールゲートコンタクトは、ペアの2つのコントロールゲート選択トランジスタの間にあり、外側のコントロールゲートコンタクトは、前記ペアの各々の外側にあり、前記中央のコントロールゲートコンタクトは、前記上部導電層によって前記コントロールゲート線へ接続され、前記外側のコントロールゲートは、最も近い前記サブアレーのコントロールゲートとコンタクトすることを特徴とする請求項57に記載のメモリアレー。

【請求項66】 前記サブアレーのコントロールゲートの各々が、前記下部導電層によって前記コントロールゲート選択トランジスタのソース拡散領域へ接続される請求項65に記載のメモリアレー。

【請求項67】 前記サブアレーのコントロールゲートの各々が、対応する前記コントロールゲート選択トランジスタのソース拡散領域へ拡張され、それによって前記

コントロールゲートの各々が対応するコントロールゲート選択トランジスタのソース拡散領域へ直接接続される請求項65に記載のメモリアレー。

【請求項68】 前記コントロールゲート選択トランジスタが、絶縁されたPウェル内のNチャネル素子及び独立したNウェル内のPチャネル素子から成る群から選択される請求項65に記載のメモリアレー。

【請求項69】 前記一对のコントロールゲート選択トランジスタが前記ワード線と平行であり、前記ビット線及び前記コントロールゲート線と直交する請求項65に記載のメモリアレー。

【請求項70】 裏打ちされたMONOSメモリアレーであって、

MONOSメモリアレー内の複数のメモリセルと、各々のメモリセルは、ワードゲートのいずれかの側における蓄積セルと、前記蓄積セルの各々の下にあるビット拡散接合と、ここで前記ビット拡散接合の各々は、隣接するメモリセルの隣接する蓄積セルによって共用され、

下にある前記ビット拡散接合から電氣的に絶縁された前記蓄積セルの各々の上にあるコントロールゲートとを具備し、

(8)

13

前記コントロールゲート及び前記ワードゲートは平行であり、前記ビット拡散接合は前記コントロールゲート及び前記ワードゲートと直交しており、

前記アレー内のワードゲートはワード線を形成し、前記アレー内の前記コントロールゲートはコントロールゲート線を形成し、前記アレー内の前記ビット拡散接合はビット線を形成し、

前記ビット線から前記ワードゲート線の上にある下部導電層への接続と、

前記コントロールゲート線から中間導電層への接続と、
前記ワードゲート線から前記中間導電層の上にある上部導電層へのコンタクト／ビア積層と、

前記コントロールゲート線にコンタクトする下部導電層と、ここで前記下部導電層は、前記中間導電層の下にあり、前記コンタクト／ビア積層の周囲をループすることを具備するメモリアレー。

【請求項71】 前記接続が、コントロールゲート線及びワード線の交互のセットの上にある請求項70に記載のメモリアレー。

【請求項72】 前記中間導線及び前記上部導線が金属ピッチの半分だけシフトされ、前記中間導電層も前記コンタクト／ビア積層の周囲をループし、前記接続は、全てのコントロールゲート線の上、及びワード線の交互のセットの上にある請求項70に記載のメモリアレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本出願は、2001年3月26日に米国暫定特許出願第60/278,622号への優先権を主張する。この出願は、参照してここに組み込まれる。

【0002】 (関連特許出願) 2001年3月19日に米国暫定特許出願第09/810,122号は、本発明と同じ譲受人へ譲渡された。

【0003】 本発明は、高密度金属／多結晶シリコン・酸化層・チタ化層・酸化層・シリコン (Metal/polysilicon/Oxide Nitride Oxide Silicon (MONOS)) メモリアレーを形成するための裏打ち (結合) 方法に関する。形成されたメモリアレーは、低減されたビット線抵抗、低減されたコントロールゲート抵抗、及び低減されたワードゲート抵抗を有し、3レベルの金属線を使用する高パフォーマンスの高密度MONOSメモリアレーである。

【0004】

【従来の技術】 ツインMONOS構造体は、米国特許6,255,166、及び小椋正気 (Seiki Ogura) 氏による米国特許出願第09/861,489号及び第09/595,059号に紹介され、更に、ツインMONOSメモリアレーの様々なアレー製作方法が、米国特許6,177,318及び6,248,633B1、並びに2001年11月21日に米国特許出願第

14

09/994,084号に紹介された。

【0005】 図1Aに示されるツインバリスティックMONOSメモリアレーは、次のようにビット拡散アレーへ配列されてよい。即ち、各々のメモリアレーは2つのチタ化領域031を含む。領域031は、1つのワードゲート040、半分のソース拡散、及び半分のビット拡散(003)に対する蓄積要素を含む。拡散接合は、2つの隣接する蓄積要素によって共用される。コントロールゲートは、同じ拡散領域(003)の上で別々に画定されるか(042)、一緒に共用されることができる(043)。コントロールゲートは、下の拡散接合から電気的に絶縁される。拡散領域はセルの間で共用され、側壁コントロールゲート(042)と平行であり、ワード線(041)と垂直である。拡散線はビット線となる。

【0006】 通常のMOSFETメモリでは、ソース拡散領域とドレイン拡散領域との間に1つの多結晶シリコンゲートを有するトランジスタ構造体を使用され、ワードゲート多結晶シリコン線及び拡散ビット線が直角に置かれる。メモリアレーが大きくなるにつれて、ビット線(BL)及びワードゲート線(WG)は長くなる。大型メモリ素子では、一連のワードゲートのためにワード線抵抗は高い。ワード線抵抗を低減するために、多結晶ワード線と平行な金属線へワード線を周期的に接続することが必要である。これは、「裏打ち」又は「結合」されたワード線と呼ばれる。更に、ビット拡散線はサブアレーにされることができ、ビット線は導電金属線によって「裏打ち」されることができ、典型的なメモリにおいて、各々の多結晶シリコンワード線は、各々の多結晶ワード線の上にある金属ワード線の裏打ちされ、ワード線と直交する各々の拡散線は金属線の他の層によって裏打ちされる。

【0007】 しかし、図1Aに示される高密度ツインMONOSセルでは、トランジスタはソース拡散領域とドレイン拡散領域との間に3つのゲートを含む。抵抗を低減し、目標のパフォーマンスを達成するため、コントロールゲート、ワードゲート、及びビット拡散領域の3つの抵抗層は、裏打ちされる必要があるかも知れない。より高い密度を得るためには、多結晶シリコンコントロールゲート線及び拡散ビット線が、相互に平行で重なるように配置されてよい。もしセルが金属ピッチによって制限され、裏打ちを必要とするならば、それは、金属線の2つの追加層が2つの抵抗層の上にあり、それら抵抗層とコンタクトする必要があることを意味する。これは、レイアウト及びプロセス上の難問である。なぜなら、合成した4つの線のセットが最小金属配線ピッチ内で重なっているとき、2つの抵抗層を2つのそれぞれの金属層へ裏打ちすることは不可能だからである。

【0008】 しかし、前述したメモリアレーにおいて、他の第3の抵抗層が付け加えられ、第3レベルの金属によって裏打ちされる。次に、賢明な3次元解決法が、3つ

(9)

15

の金属線によって3つの抵抗層を裏打ちすることを可能にする。

【0009】

【発明が解決しようとする課題】本発明の目的は、3つのタイプの高抵抗線を有するメモリセルにおいて高抵抗線と低抵抗金属線とを裏打ちする新しい方法を提供することである。

【0010】本発明の他の目的は、最小金属配線ピッチによって制限されるセルサイズの中で、3つの高抵抗線が3つの低抵抗金属線によって裏打ちされることができるよう、裏打ちの新しい方法を提供することである。

【0011】更に、本発明の他の目的は、高抵抗線のために裏打ちコンタクト区域を形成する方法を提供することである。

【0012】本発明の更なる目的は、ビット線選択トランジスタを設けながら、3つの高抵抗線を低抵抗金属線へ裏打ちする方法を提供することである。

【0013】本発明の更なる目的は、ビット線及びコントロールゲート選択トランジスタを設けながら、3つの高抵抗線を低抵抗金属線へ裏打ちする方法を提供することである。

【0014】

【課題を解決するための手段】本発明では、特定のアレ一端構造体、及びその製作方法を提供することによって、拡散ビット線、コントロールゲート、及びワードゲート多結晶シリコンの3つの抵抗層が、金属線の層を3つだけ使用して、最小金属配線ピッチを維持しながら最も効果的に裏打ちされ、ここでコントロールゲート多結

晶シリコンは、拡散ビット線の上にあることができる。

【0015】メモリが大きくなりすぎると、ビット線のトータルのキャパシタンスも大きくなりすぎて、RC時定数は特定のアプリケーション速度に対して大きくなりすぎる。従って、ビット線は幾つかのセクションへ分割されなければならない。各々のセクションは、分割されたセクションの各々の端に選択トランジスタを置くことによって選択される。従って、トータルのビット線キャパシタンスは、グローバルの金属線キャパシタンスと素子の選択されたセクションとの合計へ縮小される。更に、前記の裏打ち発明は、選択トランジスタをビット線の上に置く場合に拡張される。更に、米国特許出願第09/994,084号で提供される逸脱したアレー構造体に対する他の裏打ち方法も、類似の方法を使用して提供される。図2は、コントロールゲート線142及びビット線103が相互に平行で、ワードゲート線140がコントロールゲート線及びビット線の双方に垂直であるメモリセルアレーの概念図である。ワードゲート多結晶シリコン線は金属へ裏打ちされる。拡散ビット線は、更に、メインビット線へ接続されるビット線選択トランジスタ196によってサブアレーへ分割される。コントロールゲート多結晶シリコン線は、更に、メインコントロ

16

ールゲートへ接続されるコントロールゲート線選択トランジスタ195によってサブアレーへ分割される。

【0016】本発明の第1の実施形態は、3つの抵抗層を3つの導電層へ裏打ちする方法を提供する。ここで2つの抵抗層(003、042)は相互に平行で重なっており、第3の抵抗層(040)は第1の2つの抵抗層

(図3)に直交する。セルの幅及び高さは、垂直及び水平方向に1つの導電金属を設けることを可能にする。各々の抵抗層は、トータルの抵抗層抵抗を低減するため、

10 それぞれの上部導電層によって周期的にコンタクト(裏打ち)される。抵抗を低減するため、中間抵抗層2(042)は、その上にある導電層061へ周期的に接続される。下部抵抗層1(003)と上部導電層M3(081)との間を接続するため、第2の抵抗層2(042)

がカットされ、下部抵抗層1(003)を露出するため分離される。次に、コンタクト/ビア積層が、下部抵抗層1(003)から上部導電層3(M3)081へ構築される。第2の抵抗層2(042)の2つの端は、第2の導電層M2(071)へコンタクトさせることによ

20 て一緒に接続される。この第2の導電層M2(071)の配線は、隣接するセルの開放空間を使用することによって、コンタクト/ビア積層をバイパスする。このバイパス通路は、今後「ループ」と呼ばれる。第2の導電層M2(071)のこのバイパスループは、下部抵抗層1(061)へのコンタクトを妨害するので、裏打ちは合成線の1つおきのセットの上に置かれる。裏打ちされない線は、短いか長い距離だけ離れた他のロケーションで裏打ちされてよい。従って、1つの余分の導電金属層を

使用することによって、4つの全ての層が相互に平行で

重なっているとき、2つの抵抗層を2つの導電層へ裏打ちすることができる。余分の第2の導電層M2(071)は、裏打ち区域でのみ使用される。そうでなければ、それは、第1の抵抗層1(003)及び第2の抵抗層2(042)と直交する第3の抵抗層3(040)の間を裏打ちするために他の区域で使用されてよい。これを説明すると、抵抗層の抵抗を低減するため、導電層1(061)は抵抗層2(042)へ裏打ちされ、導電層2(071)は抵抗層3(040)へ裏打ちされ、導電層3(081)は抵抗層1(003)へ裏打ちされる。

ループでは、導電層2(071)はコンタクト積層をバイパスするために使用され、抵抗層2(042)のカットエッジを一緒に接続する。しかし、導電層1(061)及び導電層2(071)の機能を交換して、それらを、それぞれ抵抗層3(040)及び抵抗層2(042)へ裏打ちすることも可能である。従って、最小セル/金属ピッチの中で、3つの抵抗層が3つの導電金属層によって裏打ちされてよい。

【0017】第2の実施形態では、メモリ素子構造体が米国特許6,248,633B1で説明されるようにして製作されるツインMONOSメモリの拡散ビットアレ

30

40

50

60

70

80

90

(10)

17

一において、裏打ち151のためのビット拡散コンタクトが形成される。次に、第1の実施形態の計画で説明された抵抗層—導電層裏打ち方法を使用して、コントロールゲート多結晶シリコン143が、図5. 1 (b) で示されるように、線のエッジで金属1 (161) と裏打ちされる。アレーにおいて、多結晶シリコンワードゲート線の抵抗を低減するため、金属2 (M2) 171が使用される。しかし、裏打ち区域では、図5. 2 (c) で示されるように、区分されて金属1 (M1) 161とコンタクトするCG線のエッジを接続するため、M2 172も使用される。M2線は、コンタクト/ビア積層151の周囲をループし、積層151は、拡散ビット線103を平行な図5. 2 (d) の金属3 181へ接続する。M2 171のループは隣接するセルの中のビット線コンタクトを妨害するので、裏打ち領域は、交互のビット線及び交互のCG線とコンタクトする。線のコンタクトしないセットは、別個の裏打ち区域の直ぐ下又はサブアレーの他の端で裏打ちされてよい。更に、このアレーのために金属1と金属2の機能を交換し、金属1がワード線とコンタクトして裏打ちループのために使用され、金属2がコントロールゲート線と裏打ちされて、その抵抗を低減するように使用されることも可能である。

【0018】本発明の第3の実施形態において、裏打ち方法は、更に、ビット拡散選択トランジスタ及び/又はコントロールゲート線選択トランジスタを組み込んでいる。選択トランジスタの目的は、ビット線又はコントロールゲート線の全体のキャパシタンスを低減するためであるか、又は、セルのグループにされたサブアレーが、

プログラム及び/又は消去の間に受けるかも知れない擾乱条件を制限するためであってよい。これらの選択トランジスタは、メモリセルサブアレーの間の裏打ち区域へ付け加えられる。図8. 1 (a) 及び図9Cは、裏打ち区域におけるビット線選択ゲート211及びコントロールゲート選択ゲート212の実施形態の例を示す。図7A～図7E及び図8. 1 (a) を参照すると、サブアレーの両側における裏打ち区域が示される。ビット線選択ゲート211はアレーに最も近く置かれ、コントロールゲート選択ゲート212は、アレーから見てビット線選択ゲートの外側に置かれる。サブアレーの端では、コントロールゲートの側壁を形成する前に、N+種、例えばAsを打ち込むことによって、ビット拡散領域がコントロールゲートの端を越えて拡張される (図9A)。ビット拡散拡張204及びビット選択トランジスタ211は、サブアレーの両側で交互に設けられる。選択トランジスタは、浅いトレンチアイソレーションによって相互から分離される (図7E及び図8. 1 (a))。ビット選択ゲート211は、拡張されたビット拡散領域を横切って水平に置かれ、水平ゲートはビット選択ゲートとなる。ビット選択トランジスタゲートの他の側の拡散領域は、図9Aで示されるように、拡散領域と第2レベル金

18

属2 (271) との間のコンタクト積層251によって、メインビット線へ接続される。コントロールゲート選択トランジスタ212も必要であるときは、一对のコントロールゲート選択トランジスタ212が、2つのサブアレーの2つのエッジの内部で、2つのビット線選択トランジスタ211の間に位相外れに置かれる。一对のコントロールゲート選択線は、ワードゲートと平行であり、ビット線及びコントロールゲート線に垂直である (図8. 1 (a))。図8. 1 (a) 及び図8. 2

(d) で示されるように、2つのコントロールゲート212の間の中央コンタクト254は、金属M3 (281) の中で垂直であるメインコントロールゲート線へのコントロールゲート接続点となる。コントロールゲート選択トランジスタの他の拡散領域は、金属M1 (261) によって、多結晶シリコンコントロールゲート裏打ち252の他の端へ局所的に接続される (図8. 1 (b))。メインビット線は、金属2 (271) の中にあるが、メインCGコンタクトの近くで、それらはカットされて下方の金属1 (261) へ接続される。それは、ビット裏打ちを完成するため、メインコントロールゲートコンタクト254の周囲をループするためである (図8. 2 (c))。従って、サブアレー空間の1つのエッジでは、交互のビット選択ゲート/裏打ちビアM2線及びコントロールゲート選択/裏打ちビアM3が、M1ローカル接続及びループを使用して完成されてよい。更に、間隔においてワードゲート線を裏打ちし、多結晶シリコンワードゲート抵抗を低減するため、金属1がアレー領域で使用されてよい。この例はビット選択トランジスタ及びコントロールゲート選択トランジスタを示す。同じコンタクト及び金属配線アプローチを使用して、ビット線選択のみのトランジスタ又はコントロールゲート線選択のみのトランジスタを有する裏打ち及び選択区域を実現することができる。

【0019】第4の実施形態は、各々のセルの拡散領域が、コンタクト351によって第1レベルの金属 (M1) 361へ接続される「金属ビット」と呼ばれる他のタイプのアレー配列における裏打ち方法を示す (図10C、図11. 1 (b)、及び図12Bを参照)。多結晶シリコンコントロールゲート線342及び多結晶シリコンワードゲート線340は、相互に平行であり、ビット金属線361と直交している (図12)。コントロールゲート多結晶シリコンと金属との間をコンタクトさせるため、多結晶シリコンのパッドが準備される (図10A～C)。この多結晶シリコンパッド343は、前の実施形態で説明した自己整合方法を使用することによって形成される。コントロールゲート342を裏打ちするためには金属M2 371が使用され (図11. 2

(c))、ワードゲート340を裏打ちするためには金属M3 381が使用される (図11. 2 (d))。ワードゲートコンタクト355は、ワードゲートコンタク

(11)

19

ト区域を避けるため、コントロールゲートM2線をカットし、金属1内でループすることによって作り出された開放空間に置かれる(図11、2(c))。金属2及び金属3を金属ピッチの半分だけシフトし、M2及びM1でループすることによって、全てのコントロールゲート線342及び1つおきのワードゲート線340を同じ領域の中でコンタクトさせることができる(図12A)。コントロールゲート線は、ワードゲート線よりも高い抵抗を有する狭い側壁多結晶シリコンであるから、サブアレーの双方の端の上で全てのCG線を裏打ちする能力は、高パフォーマンスのアプリケーションに対して有用である。

【0020】

【発明の実施の形態】本発明の第1の実施形態は、3つの抵抗層を3つの導電層へ裏打ちする方法を提供する。ここで2つの抵抗層(003、042)は、相互に平行で重なっており、第3の抵抗層(040)は第1の2つの抵抗層と直交する(図3)。セルの幅及び高さは、垂直及び水平方向で1つの導電金属を設けることを可能にする。各々の抵抗層は、トータルの抵抗層抵抗を低減するため、それぞれの上部導電層によって周期的にコンタクト(裏打ち)される。抵抗を低減するため、中間抵抗層2(042)が、その上にある導電層061(M1)へ周期的に接続される。下部抵抗層1(003)と最も上の導電層M3(081)との間を接続するため、第2の抵抗層2(042)がカットされ、下部抵抗層1(003)を露出するため分離される。次に、コンタクト/ビア積層が下部抵抗層1(003)から上部導電層3

(M3)(081)へ構築される。第2の抵抗層2(042)の2つの端は、第2の導電層M2(071)へコンタクトさせることによって一緒に接続される。この第2の導電層M2(071)配線は、隣接するセルの開放空間を使用することによってコンタクト/ビア積層をバイパスする。このバイパス通路は、今後「ループ」と呼ばれる。第2の導電層M2(071)のこのバイパスループは下部抵抗層1(003)へのコンタクトを妨害するので、裏打ちは合成線の1つおきのセットの上に置かれる。裏打ちされない線は、短いか長い距離だけ離れた他のロケーションで裏打ちされてよい。従って、1つの余分の導電金属層を使用することによって、4つの全ての層が相互に平行で重なっているとき、2つの抵抗層を2つの導電層へ裏打ちすることができる。余分の第2の導電層M2(071)は、裏打ち区域でのみ使用されるか、そうでなければ、第1及び第2の抵抗層1(003)及び2(042)と直交する第3の抵抗層3(040)を裏打ちするために他の区域で使用されてよい。これを説明すると、抵抗層の抵抗を低減するため、導電層1(061)は抵抗層2(042)へ裏打ちされ、導電層2(071)は抵抗層3(040)へ裏打ちされ、導電層3(081)は抵抗層1(003)へ裏打ちされ

20

る。ループにおいて、導電層2(071)は、コンタクト積層をバイパスするために使用され、抵抗層2(042)のカットされた端を一緒に接続する。しかし、導電層1(061)の機能と導電層2(071)の機能を交換して、それら導電層を、それぞれ抵抗層3(040)及び抵抗層2(042)へ裏打ちすることも可能である。従って、3つの抵抗層は、最小セル/金属ピッチの中で、3つの導電金属層によって裏打ちされてよい。

【0021】図4～6を参照して、本発明の第2の実施形態を説明する。

【0022】バリスティックツインMONOSメモリセルは、米国特許6,248,633B1で教示されるようにして製作される。図4Aで示されるように、各々のメモリセルは2つのチツ化領域131を含む。2つのチツ化領域131は、1つのワードゲート140、及び半分のソース拡散領域並びに半分のビット拡散(103)に対する蓄積要素を含む。拡散接合は、2つの隣接する蓄積要素によって共用される。コントロールゲート142は、双方のワードゲート側壁における垂直反応性イオンエッチングによって画定される。図4Bで示されるように、ビット拡散103を共用する一対のコントロールゲート142は、抵抗を低減するために多結晶シリコン143を充填することによって一緒に接続されてよい。側壁ゲート142を画定した後、図4Bのアイソレーション層124を形成するため、酸化シリコン膜124-Aが、コントロールゲート及び拡散接合103の上に成膜又は堆積される。次に、図4Aの凹所マスクを使用し

て、図4Bのアイソレーション酸化層124を残すために酸化層124-Aがエッチングされる。次に、別個のコントロールゲート142の間の谷の中で、多結晶シリコンが堆積及び平坦化される。多結晶シリコンコントロールゲートの上の不必要な酸化層124-Aは、ウェット又はドライエッチングによって除去される。図4Bで示されるように、ワード線の間の空間を充填するため多結晶シリコンが堆積され、ワードゲートの上の多結晶シリコンを除去するためCMPによって平坦化される。コントロールゲート143は、下の拡散接合103から電氣的に絶縁される。拡散は、側壁コントロールゲート142の下にあり、後でコントロールゲートの上に形成されるワード線に垂直である。

【0023】図4Bで示されるように、ビット拡散区域は、フォトレジストマスク193を使用して露光される。多結晶シリコン142及び143は、例えば、塩素塩基を有する反応性イオンエッチング(RIE)プロセスを使用して選択的にエッチングされ、図4Cで示されるように、Asのようなビットコンタクトイオン注入104が続き、ONOの下にオールn+領域プロファイルが形成され、n+ドープメントとボーダールズのコンタクト区域が作られる。

【0024】通常の金属コンダクトプロセス、例えば、

(12)

21

開口内の酸化層の堆積、酸化層の化学的機械的ポリッシング (CMP)、コンタクトホール152の開口、タングステンの充填、及びタングステンのCMPが続く。図4Cは、完成したビット拡散裏打ちコンタクト151及びコントロールゲートコンタクト152を示す。図5. 1

(a) は、この時点におけるMONOS素子の平面図である。図4Cは、図6Bの断面B-B'を示す。裏打ちコンタクトホール152及びビットコンタクトホール151は、交互のビット線及びコントロールゲート線の上に置かれる。図5. 1(a)で示されるように、両方の端に置かれたコントロールゲートコンタクトは、図5. 1(b)に示される第1の金属161と一緒に接続される。ここで第1の金属パッドが、積層を作るためにビットコンタクトの上に置かれる。ビアプロセスが続き、ビットコンタクト及びコントロールゲートコンタクトが積層される。第1の金属線は、図5. 2(c)で示されるように、第2の金属ループ171でバイパスするため、ビットコンタクト151の両側で開放される。図示されないが、ワード線も第2の金属で裏打ちされる。図5. 2(d)で示されるように、ビットコンタクトは、第2の金属パッド及び第2のビアホールによって積層され、第3の金属によって裏打ちされる。

【0025】図6Aは、図5. 1(a)の裏打ち区域の拡大平面図である。図6Bは、図6Aの裏打ち区域におけるコントロールゲート及びビット線接続の拡大平面図である。図6Cは、金属3を形成した後のコントロールゲート裏打ち区域の断面図であって、図6Bの断面A-A'を示す。図6Dは、金属3が形成された後のコントロールゲート裏打ち区域の断面図であって、図6Bの断面B-B'を示す。図6Eは、3レベル金属裏打ちを有するサブアレーの等価回路図である。

【0026】このように、コントロールゲートに対しては第1の金属及び第2の金属を使用し、コントロールゲート143の直ぐ下にあるビット線に対しては第3の金属を使用して、金属裏打ちが最小のラインスペース内で形成される。ワード線に対する金属裏打ちは、第2の金属を使用して形成される。

【0027】本発明の第3の実施形態は、図7~9を参照して説明される。第3の実施形態は、選択素子を有する裏打ち方法を完了する。本発明のビット線及びコントロールゲートキャパシタンスの低減は、ビット選択ゲート及びコントロール選択ゲートを、前述した金属裏打ちと組み合わせて窮屈なサブアレー空間に置くことによって達成される。図8. 1(a)は、コンタクトを画定した後の平面図を示す。コントロールゲートコンタクト252は、サブアレーの端に置かれる。ビット拡散選択ゲート211は、サブアレーの両側に置かれる(図7E)。ビット拡散コンタクト251は、図8. 1(a)で示されるように、サブアレーの交互の側に置かれる。図8. 1(a)で示されるように、一対のコントロール

22

ゲート選択素子212の区域では、3つのコンタクト253、254、253が置かれる。選択ゲートは、どのサブアレーが選択されるかを規定する。中央のコンタクト254は、メインコントロール線へ接続される。コンタクト253の両側は、サブアレーコントロールゲートへ接続される。これらのビット線及びコントロールゲートコンタクトは、3つの金属層を使用して配線される。ループ262及びローカル接続261が第1の金属として図8. 1(b)に示され、メインビット線271が第2の金属として図8. 2(c)に示され、メインコントロール線281が第3の金属として図8. 2(d)に示される。

【0028】図7A、図7B、及び図7Cは、コントロールゲート及びそれらのコンタクトを形成する様々なプロセスステップにおける断面図を示す。図7Aで示されるように、整合した多結晶シリコン層242/243は、ワードゲート240の上に堆積される。本発明のプロセスにおいて、コントロールゲートコンタクト区域243は、浅いトレンチアイソレーション(STI)領域202の上に置かれ、そこで凹所フォトリソマスク又はハードマスク290で覆われる。マスクは、コントロールパッド区域を除いてコントロールゲート多結晶シリコンを露光するために適用される。次に、側壁コントロールゲート242を得るため、側壁多結晶シリコンの垂直エッチングが実行される。ビット拡散接合203の上にある多結晶シリコンがエッチングによって除去される。しかし、STI領域の上の多結晶シリコン243は凹所マスク290で覆われ、コントロールゲートコントロールパッドのために充填された多結晶シリコンは、図7Bで示されるように残る。その平面図は図7Dに示される。

【0029】選択ゲートを含む周辺区域を画定した後、ワードゲートの間の区域を充填するため酸化層245が堆積され、キャップチツ化層230が露出されるまで平坦化される。自己整合を可能にするキャップチツ化層のストリップに続いて、ワード線(配線)多結晶シリコン246が堆積される。ワード配線は、通常のリソグラフィ、及び堆積された多結晶シリコン246及びワードゲート多結晶シリコン240を下方のワードゲート酸化層まで完全にエッチングする後続のRIEによって画定される。その次に、通常のコンタクトプロセスが、酸化層の充填、酸化層のCMP、コンタクトの開口、タングステンの堆積、及びタングステンのCMPの順序で続き、コントロールゲートコンタクト252が形成される。図7Eは、コンタクトプロセスの後の平面図である。図7Cは、図7Eのコントロールゲートコンタクト252の上をA-A'に沿ってカットした断面図である。

【0030】拡張された拡散204は、拡散ビット204とビット線選択拡散206との間に電気的連続性を保つため、STIを形成した直後に、約1E15~2E1

(13)

23

5イオン/cm³のドーズ及び約40～60KeVのエネルギーを使用して、ヒ素イオンを注入することにより包囲メモリゲート210の下にN+拡散の中で画定される(図9A)。

【0031】このコントロール選択素子212は、P基板から絶縁されたPウェルを有するNチャネルであるか、独立したNウェルを有するPチャネル素子であってよい。Pチャネル素子が使用されるとき、選択ゲート212上に印加される電圧は、低グラウンドレベルの近くで放電するために注意深く選択されなければならない。Pチャネル素子上の入力電圧は、少なくともしきい値電圧(V_t)の下である。もししきい値が-1.0Vであれば、ONの選択ゲート電圧は、通常の0Vの代わりに、少なくとも-1.0Vでなければならない。しかし、負の電圧に伴うこの余分の複雑性は、Nチャネル選択ゲートと比較して良い結果を生じる。Nチャネル選択ゲート素子では、高電圧 V_{cg} (5～6V)を通すため、コントロール選択ゲートは少なくとも $V_{cg} + V_t$ を必要とする($V_{sub} = V_{cg}$ において)。これは、5.5Vを通すために選択ゲート上で約7～8Vが必要であることを意味する。従って、この余分の高電圧要件(約40%高い)は、高電圧サポート素子に対して少なくとも40%厚い酸化層の使用を強制する。この余分の酸化層の厚さは、Nチャネル素子の代わりにPチャネル選択素子が選択されるならば、避けることができる。

【0032】図8.1(a)において、一对のコントロールゲート選択線は、ワードゲートに平行であり、ビット線及びコントロールゲート線に垂直である。2つのコントロールゲート212の間にある中央のコンタクト254は、金属M3(281)の中で垂直であるメインコントロールゲート線へのコントロールゲート接続点となる(図8.1(a)及び図8.2(d))。コントロールゲート選択トランジスタの他の拡散領域は、金属M1(261)によって、多結晶シリコンコントロールゲート裏打ち252の他の端へ局所的に接続される(図8.1(b))。メインビット線は金属2(271)の中を通るが、メインCGコンタクトの近くでカットされ、下の金属1(261)へ接続される。それは、メインコントロールゲートコンタクト254の周囲をループし、ビット裏打ちを完成するためである(図8.2(c))。従って、サブアレー空間の1つのエッジでは、交互のビット選択ゲート/裏打ちビアM2線及びコントロールゲート選択/裏打ちビアM3が、M1ローカル接続及びループを使用して完成されてよい。更に、間隔を置いてワードゲート線を裏打ちし、多結晶シリコンワードゲート抵抗を低減するために、金属1がアレー領域で使用されてよい。

【0033】米国特許6,248,633-B1のツインMONOSセル素子に対して本発明の特殊配線技術を応用したアプリケーションは、図9Cに示される。グロー

24

バル金属2を通るビット線信号BL[1]は、ビット選択トランジスタの1つの側(ビット選択1)へ接続され、出力はビット拡散線の他の側へ接続される。このビット拡散線は他のビット選択トランジスタのドレイン(ビット選択0)へ接続される。ソース接合はBL

[0]金属2線へ接続される。2つのビット選択トランジスタの間にあるブロックでワード線の1つが選択されたとき、BL[1]からのビット信号はツインセルを通じてBL[0]へ達する。他方では、CG[1]からのコントロールゲート信号は、コントロールゲートトランジスタのドレインCG[1]へ降下し、選択トランジスタを通過する。次に、コントロールゲート信号は、2つのビット選択トランジスタの間のコントロールゲートへ引き渡される。

【0034】図9Bは、埋め込まれたコンタクト256を有する選択素子をコントロールゲートへ直接配置する代替の方法を示す。これは裏打ち区域を縮小する。なぜなら、直接コンタクトは、サブアレーコントロールゲート及び選択素子ソース拡散を接続する第1の金属ローカル配線を無用にするからである。コントロールゲートは、選択素子ソース拡散へ拡張される。コンタクト256は、ONOを除去した後、下の拡散へ接続される。第3の金属を有するメインコントロールゲート線281からのコントロールゲート信号は、選択ゲート213が選択されたとき、積層されたビア256を通して、ソース拡散256へ引き渡される。

【0035】本発明の第4の実施形態において、本発明の裏打ち方法は、同時係属米国特許出願第09/81

0,122号及び第09/994,084号で開示された不揮発性メモリで使用されることができる。この実施形態は、図10～12を参照して説明される。

【0036】ツインMONOSメモリ素子の他のアレー配列において、ワードゲート及びコントロールゲートを、平行な2つの金属線へ裏打ちする方法が開示される。本発明のプロセスでは、浅いトレンチアイソレーション(STI)領域の上のコントロールゲートコンタクト区域343は、凹所フォトリソ又はハードマスク、例えばTEOS酸化層で覆われる。次に、側壁多結晶シリコンの垂直エッチングが実行される。側壁コントロールゲート342は、ワードゲート340の側壁の上に残される。しかし、多結晶シリコン343は、図10Aで示されるように、凹所マスク391によって保護される。メモリ区域を保護しながら論理ゲート構造体を形成するため、通常のCMOSゲート画定が続く。次に、図10Bで示されるように、論理ゲートのための側壁誘電スペーサが続く。論理ゲート上の側壁誘電スペーサは、薄い酸化層及び窒化層のスペーサであってよい。側壁コントロールゲートは40nmより薄く、コントロール多結晶シリコンゲートの上部は、ワードゲート多結晶シリコンの上部よりも合理的に低くすることができ

(14)

25

るので、チツ化層のスペーサは、コントロールゲート多結晶シリコンの全体を覆うことができる。ビットコンタクト351を開口する間、コンタクトホールがチツ化層と少しだけ重複することは許される。なぜなら、チツ化層は酸化層のRIEの間、より低いエッチングレートを持有するからである。コントロールゲートコンタクト352は、コントロールゲートコンタクト多結晶シリコン343の上に作られる。ワード線コンタクト355及びビットコンタクト351も形成される。ビット線は第1の金属361によって配線され(図10C及び図11. 1 (b))、コントロールゲートは第2の金属371によって裏打ちされ(図11. 2 (c))、ワード線は第3の金属381によって裏打ちされる(図11. 2 (d))。

【0037】各々のセルの拡散は、コンタクト351によって第1レベルの金属(M1)361へ接続される(図10C、図11. 1 (b)、及び図12B)。多結晶シリコンコントロールゲート線342及び多結晶シリコンワードゲート線340は、相互に平行であり、ビット金属線361に直交する(図12A)。金属M2 371はコントロールゲート342を裏打ちするために使用され(図11. 2 (c))、金属M3 381はワードゲート340を裏打ちするために使用される(図11. 2 (d))。ワードゲートコンタクト355は、ワードゲートコンタクト区域を避けるためコントロールゲートM2線をカットし、金属1内でループすることによって作り出された開放空間に置かれる(図11. 2 (c))。金属2及び金属3の線を金属ピッチの半分だ

はシフトし、M2及びM1をループすることによって、全てのコントロールゲート線342及び1つおきのワードゲート線340を、同じ領域の中でコンタクトさせることができる(図12A)。

【0038】この実施形態の等価回路図は、図12Dに示される。裏打ち区域はメモリアレーブロックの両側に置かれ、上部裏打ち区域及び下部裏打ち区域として画定される。コントロールゲート線を裏打ちするためのコントロールゲートコンタクトは、上部区域及び下部区域の双方に置かれる。ワードコンタクトは上部区域及び下部区域へ交互に置かれる。

【0039】本発明は、最小金属配線ピッチによって制限されるセルサイズの中で、3つの高抵抗線を3つの低抵抗金属線へ裏打ちする方法を提供する。高抵抗線のためにコンタクト区域を裏打ちする方法が提供された。裏打ちに加えて、ビット線選択トランジスタ及び/又はコントロールゲート選択トランジスタが提供されてよい。

【0040】本発明は、好ましい実施形態を参照して具体的に図示及び説明されたので、当業者は、本発明の趣旨及び範囲から逸脱することなく、形式及びディテールにおいて様々な変更が行われてよいことを理解するであろう。

26

【図面の簡単な説明】

【図1A】従来技術のツインMONOSメモリ素子の断面図である。

【図1B】図1Cの等価回路図である。

【図1C】コンタクト及び金属配線を形成する前のツインMONOSアレーの平面図である。

【図2】本発明の第3の実施形態に従って、抵抗ワード線を金属線2で裏打ちし、RC時定数を改善するためビット及びコントロールゲート選択トランジスタを配置し、裏打ち目的を達成する概念図である。

【図3】本発明の第1の実施形態に従って、最小ピッチ内で3つの導電線を使用して3つの抵抗層を裏打ちする場合の3次元の図である。

【図4A】本発明の第2の実施形態に従って、2つの側壁ゲート素子を単一のコントロールゲートへ一体化し、一体化されたコントロールゲート多結晶シリコンをエッチングで除去することによってビットコンタクト区域を形成する場合の断面図である。

【図4B】本発明の第2の実施形態に従って、2つの側壁ゲート素子を単一のコントロールゲートへ一体化し、一体化されたコントロールゲート多結晶シリコンをエッチングで除去することによってビットコンタクト区域を形成する場合の断面図である。

【図4C】本発明の第2の実施形態に従って、2つの側壁ゲート素子を単一のコントロールゲートへ一体化し、一体化されたコントロールゲート多結晶シリコンをエッチングで除去することによってビットコンタクト区域を形成する場合の断面図である。

【図5. 1】図5. 1 (a)は、図4A-Cのプロセスによって得られたメモリアレーの平面図であり、図5. 1 (b)は、図5. 1 (a)の金属1及びビアを処理した後の平面図である。

【図5. 2】図5. 2 (c)は、図5. 1 (a)の金属2を形成した後の平面図であり、図5. 2 (d)は、図5. 1 (a)の金属3を形成した後の平面図である。

【図6A】図5. 1 (a)の裏打ち区域を拡大した平面図である。

【図6B】図6Aの裏打ち区域におけるコントロールゲート及びビット線の接続を拡大した平面図である。

【図6C】金属3を形成した後の図6Bの断面A-A'を示すコントロールゲート裏打ち区域の断面図である。

【図6D】金属3を形成した後の図6Bの断面B-B'を示すコントロールゲート裏打ち区域の断面図である。

【図6E】3レベル金属裏打ちを有するサブアレーの等価回路図である。

【図7A】本発明の第3の実施形態に従って、側壁コントロールゲート及びコントロールゲートコンタクトのランドパッドを形成する場合の断面図である。

【図7B】本発明の第3の実施形態に従って、側壁コントロールゲート及びコントロールゲートコンタクトのラ

(15)

27

ンドパッドを形成する場合の断面図である。

【図7C】本発明の第3の実施形態に従って、側壁コントロールゲート及びコントロールゲートコンタクトのランドパッドを形成する場合の断面図である。

【図7D】図7Bの平面図である。

【図7E】図7Bのコントロールゲートが完成し、ビット選択ゲートが形成され、ビット拡散N+がコントロールゲートの下を通過して選択トランジスタまで拡張された後の平面図である。

【図8.1】図8.1(a)は、金属を配置する前の、ビット選択トランジスタ及びコントロール選択トランジスタを有する裏打ち区域を示す平面図であり、図8.1(b)は、図8.1(a)で金属1を配線した後の平面図である。

【図8.2】図8.2(c)は、図8.1(a)で金属2を配線した後の平面図であり、図8.2(d)は、図8.1(a)で金属3を配線した後の鳥瞰図である。

【図9A】図7E及び図8.1(a)のB-B'から見た断面図である。

【図9B】選択素子を配置する代替の方法を示す平面図である。

【図9C】本発明の第3の実施形態に従った等価回路図である。

【図10A】本発明の第4の実施形態に従って、各々のメモリスルの上にビットコンタクトを有するツインMOS素子を形成する場合の様々な段階における断面図である。

【図10B】本発明の第4の実施形態に従って、各々のメモリスルの上にビットコンタクトを有するツインMOS素子を形成する場合の様々な段階における断面図である。

【図10C】本発明の第4の実施形態に従って、各々のメモリスルの上にビットコンタクトを有するツインMOS素子を形成する場合の様々な段階における断面図である。

【図11.1】図11.1(a)は、図10Cの金属1を配線する直前の平面図であり、図11.1(b)は、図10Cの金属1を配線した直後の平面図である。

【図11.2】図11.2(c)は、図10Cの金属2を配線した直後の平面図であり、図11.2(d)は、図10Cの金属3を配線した直後の平面図である。

【図12A】図10Cの裏打ち区域を拡大した平面図である。

【図12B】図12Aの(A-A')から見たコントロールゲートコンタクト区域の断面図である。

【図12C】図12Aの(B-B')から見たワードゲートコンタクト区域の断面図である。

【図12D】各々のビット拡散の上にコンタクトを有し、第1の金属線によって接続されたサブアレーの等価回路図である。

28

【符号の説明】

- 003 抵抗層1 (ビット拡散)
- 031 チツ化領域
- 040 抵抗層3 (ワードゲート)
- 041 ワード線
- 042 抵抗層2 (側壁コントロールゲート)
- 043 コントロールゲート
- 061 導電層1 (M1)
- 071 導電層2 (M2)
- 081 導電層3 (M3)
- 103 ビット拡散接合 (ビット線)
- 104 ビットコンタクトイオン注入
- 124 アイソレーション酸化層
- 124-A 酸化シリコン膜
- 131 チツ化領域
- 140 ワードゲート線
- 142 側壁ゲート多結晶シリコン (コントロールゲート線)
- 143 コントロールゲート多結晶シリコン
- 151 コンタクト/ビア積層 (ビット拡散裏打ちコンダクトホール)
- 152 コントロールゲートコンタクト (裏打ちコンダクトホール)
- 161 金属1 (M1)
- 171 金属2 (M2) (ループ)
- 181 金属3
- 190 凹所マスク
- 193 フォトレジストマスク
- 195 コントロールゲート線選択トランジスタ
- 196 ビット線選択トランジスタ
- 202 浅いドレンチアイソレーション (STI) 領域
- 203 ビット拡散接合
- 204 拡張されたビット拡散
- 206 ビット線選択拡散
- 210 包囲メモリゲート
- 211 ビット拡散選択ゲート (ビット線選択トランジスタ)
- 212 コントロールゲート選択ゲート (コントロールゲート選択トランジスタ)
- 213 選択ゲート
- 230 キャップチツ化層
- 240 ワードゲート多結晶シリコン
- 242 側壁コントロールゲート多結晶シリコン
- 243 コントロールゲートコンタクト区域多結晶シリコン
- 245 酸化層
- 246 ワード線 (配線) 多結晶シリコン
- 251 コンタクト積層 (ビット拡散コンタクト)
- 252 コントロールゲートコンタクト多結晶シリコン (コントロールゲート裏打ち)

(16)

29

- 253 コンタクト
- 254 メインコントロールゲート（中央）コンタクト
- 256 埋め込まれたコンタクト（ピア）
- 261 金属1（M1）（ローカル接続）
- 262 ループ
- 271 金属2（メインビット線）
- 281 金属3（M3）（メインコントロールゲート線）
- 290 凹所フォトレジストマスク又はハードマスク
- 340 多結晶シリコンワードゲート線
- 342 多結晶シリコン側壁コントロールゲート線
- 343 多結晶シリコンパッド（コントロールゲートコ

30

ンタクト区域)

351 ビットコンタクト

352 コントロールゲートコンタクト

355 ワードゲートコンタクト (ワード線コンタクト)

361 第1の金属 (M1) (ビット金属線)

371 第2の金属 (M2)

381 第3の金属 (M3)

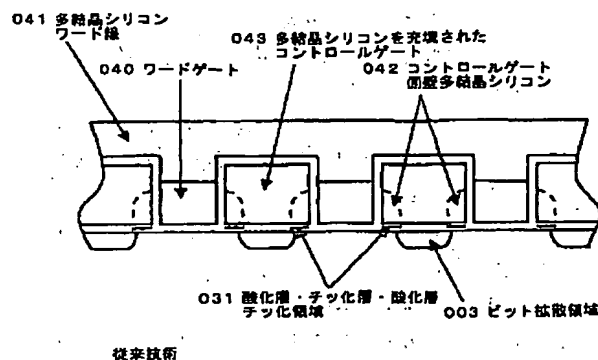
391 凹所マスク

BL、BL [0] ビット線

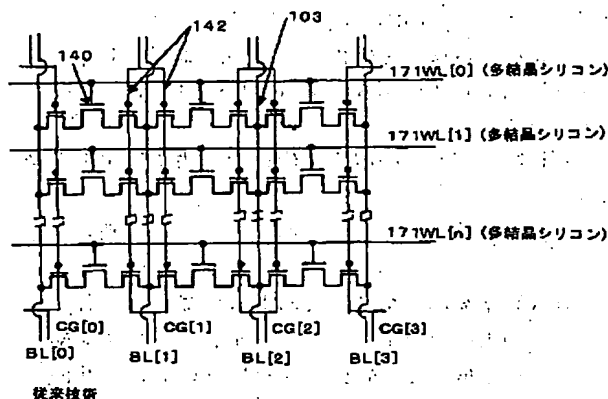
CG、CG [1]、 コントロールゲート

WG ワードゲート線

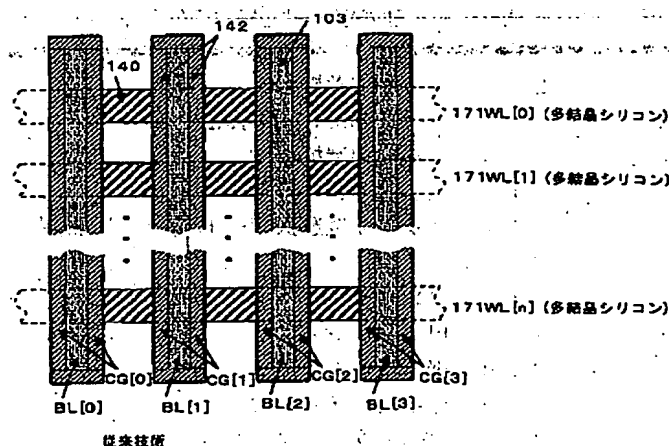
【図 1 A】



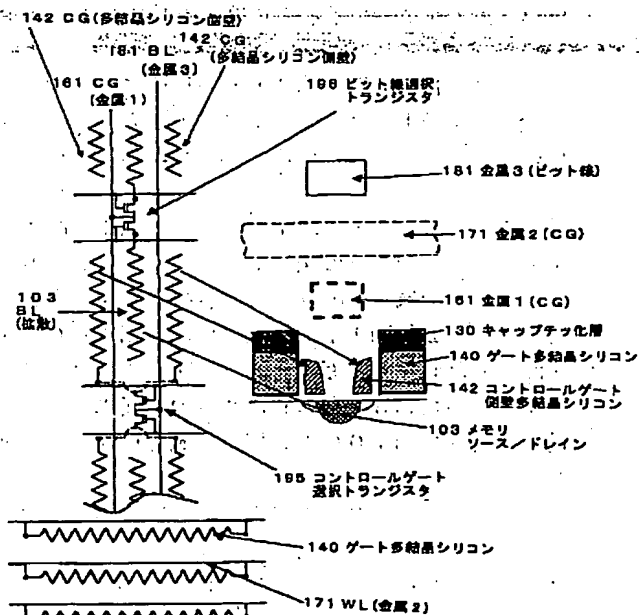
【図 1 B】



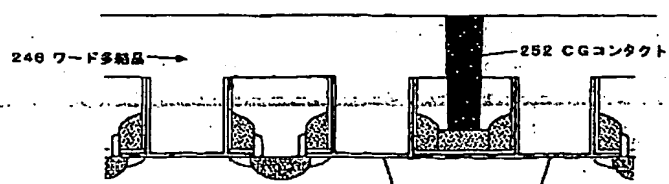
【図 1 C】



【図2】

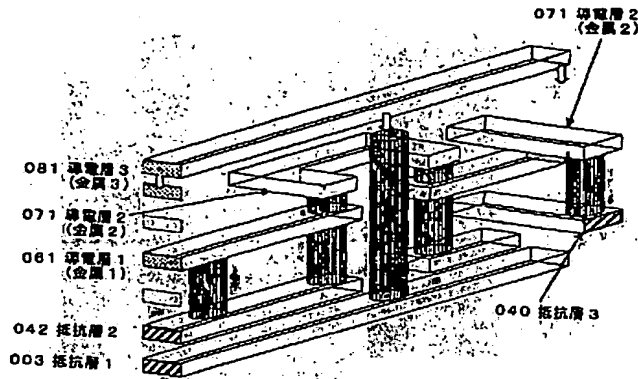


【図 7 C】

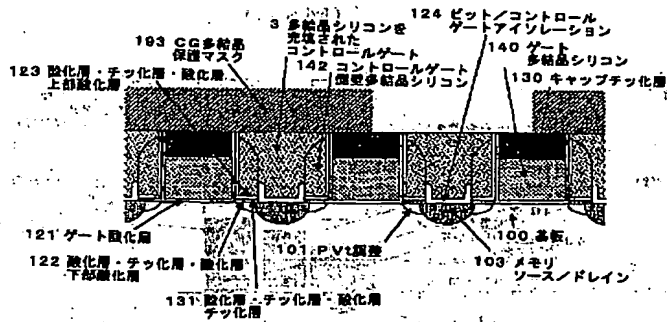


(17)

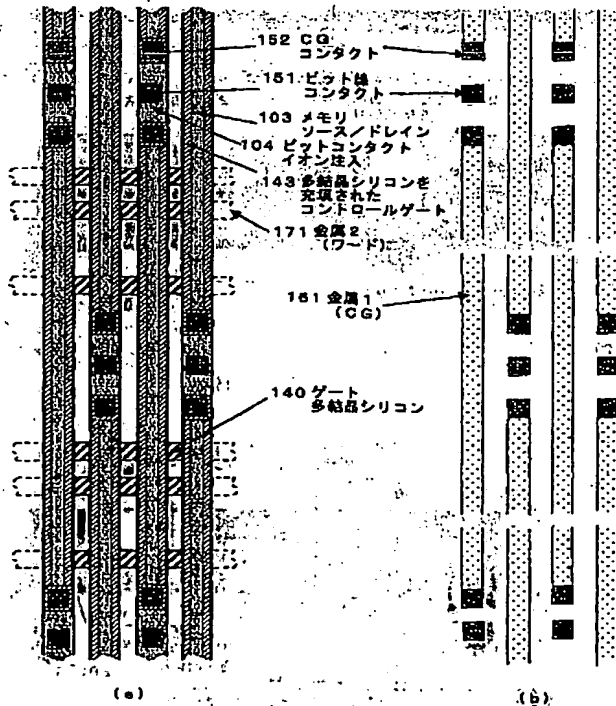
【図3】



【図4B】



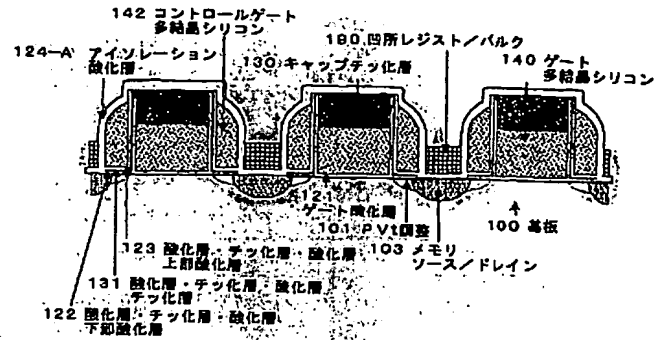
【図5. 1】



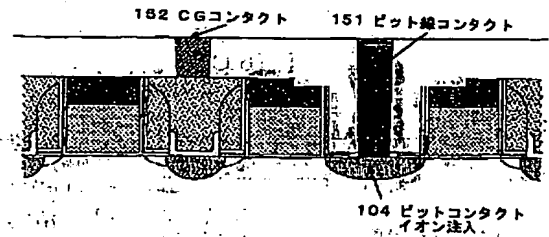
(a)

(b)

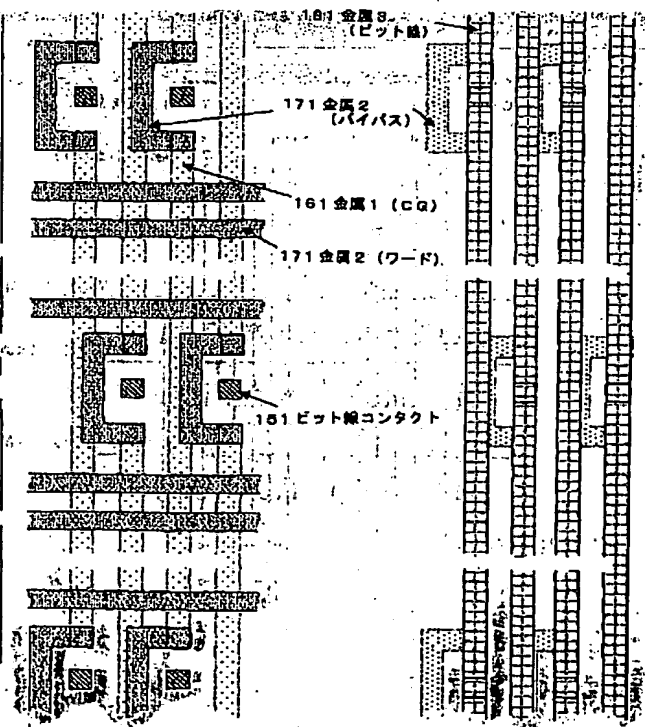
【図4A】



【図4C】



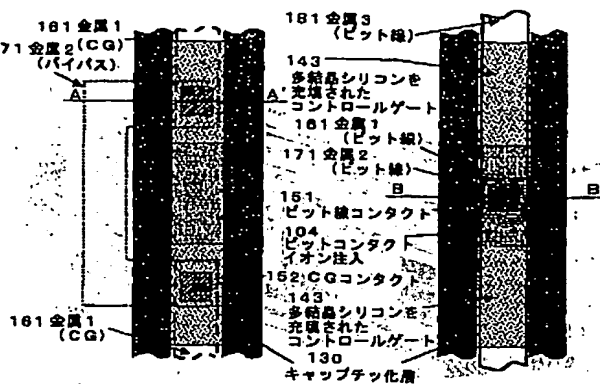
【図5. 2】



(c)

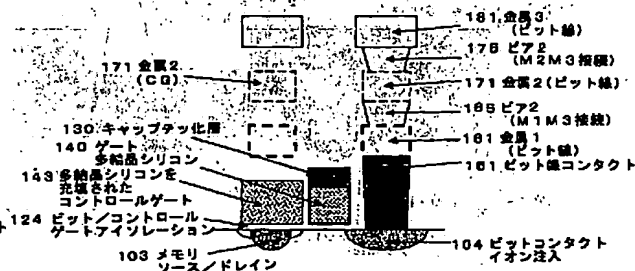
(d)

【図 6 B】



CG裏打ちおよびピット線裏打ち

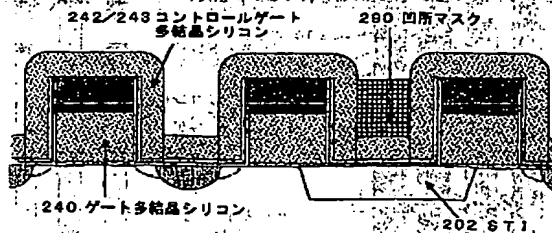
【図 6 D】



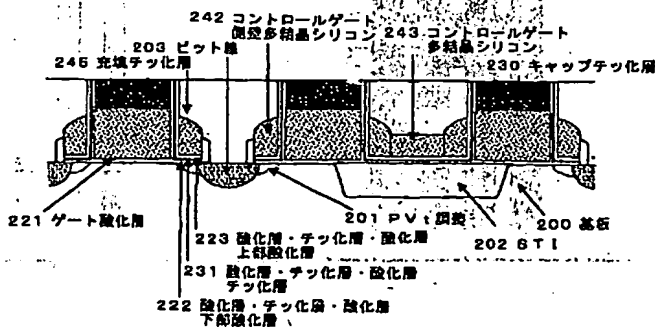
‘斷斷A-A’

斷面日一日。

【図7・A】

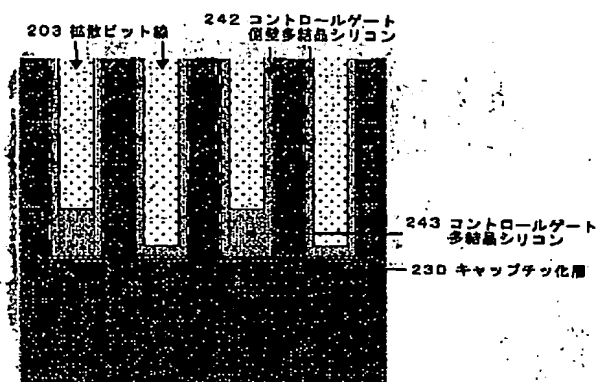


【図 7 B】

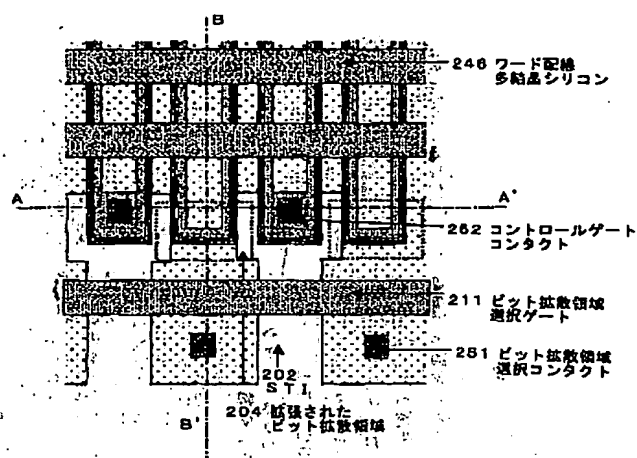


(19)

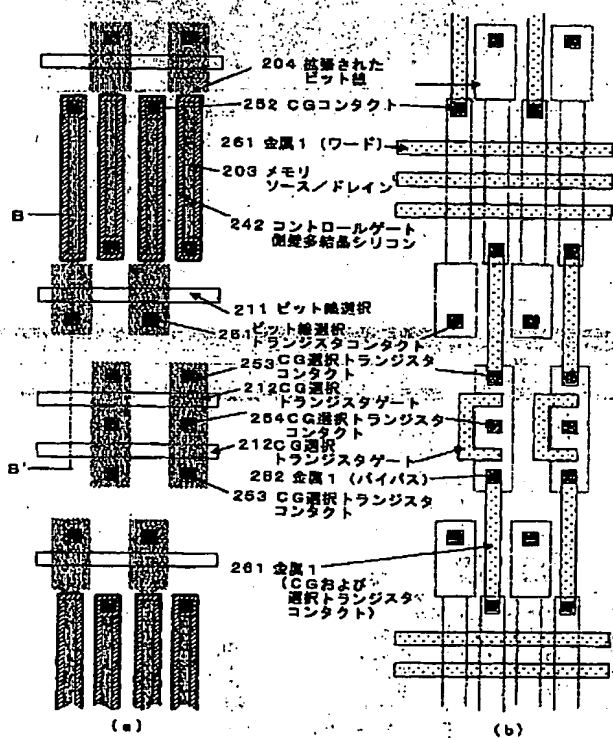
【図7D】



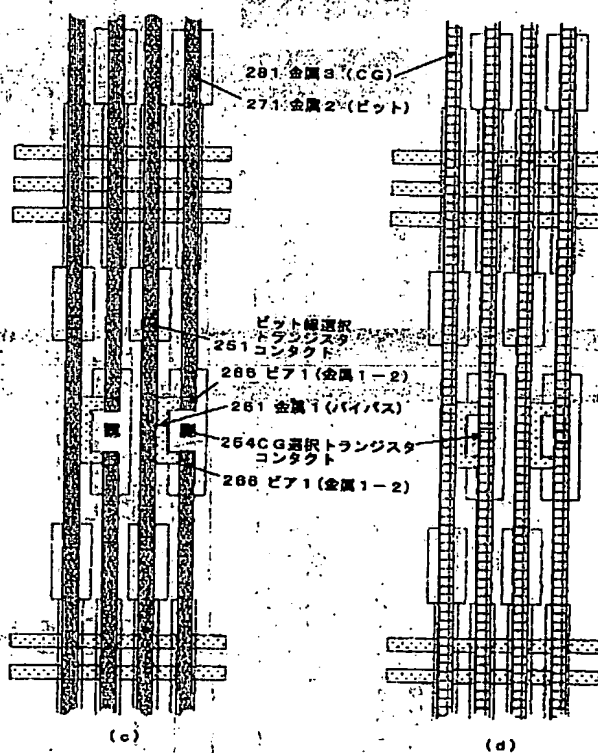
【図7E】



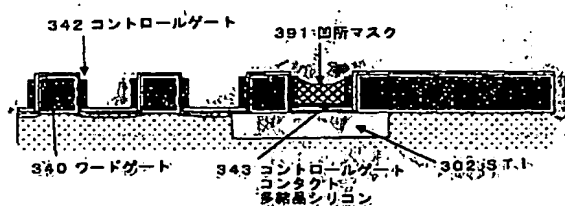
【図8-1】



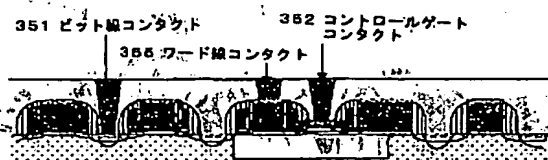
【図8-2】



【図10A】

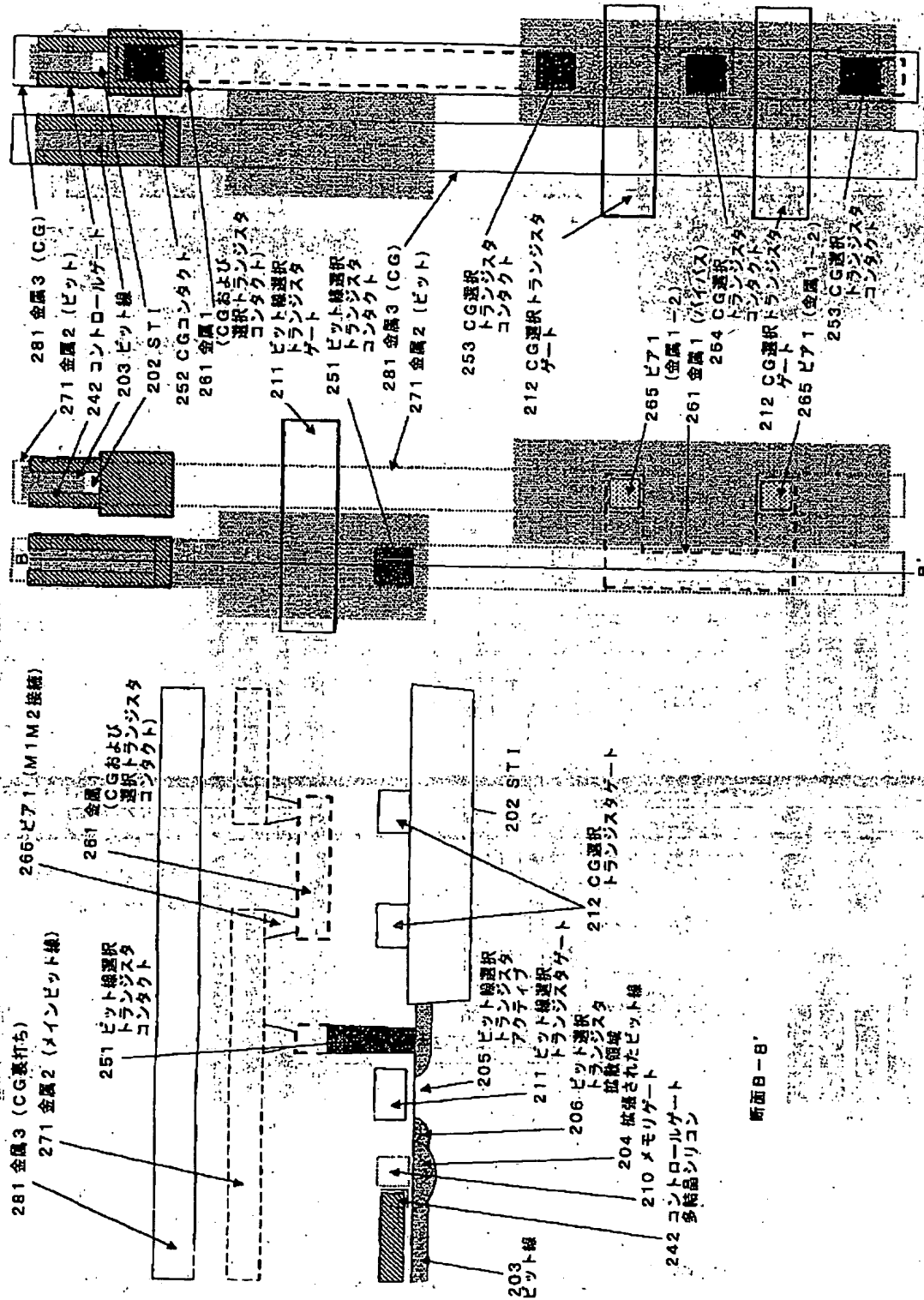


【図10B】



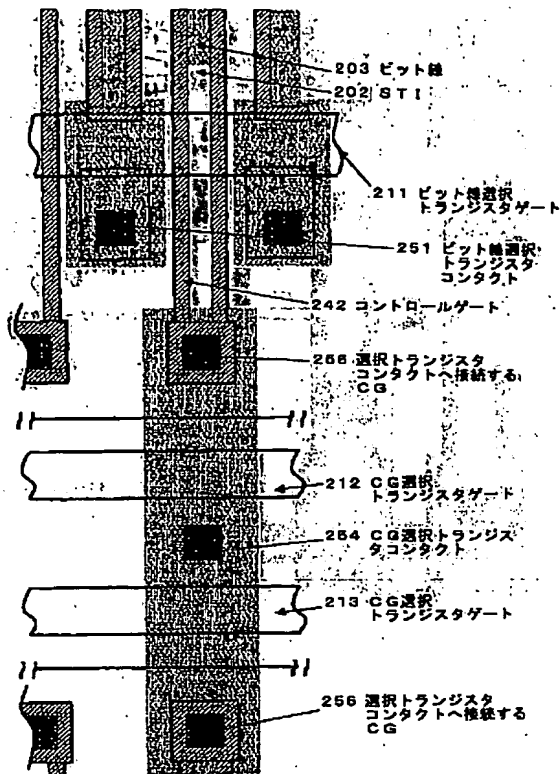
(20)

【図 9 A】

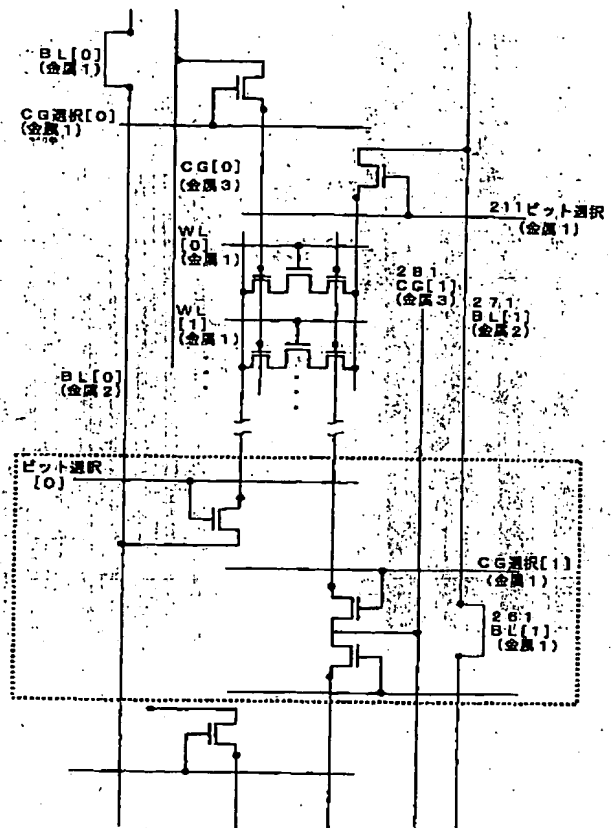


(21)

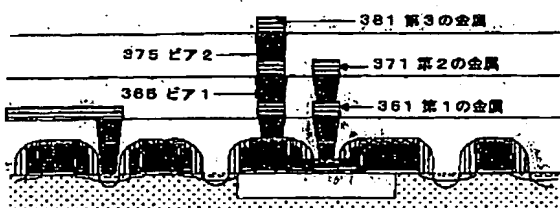
【図9B】



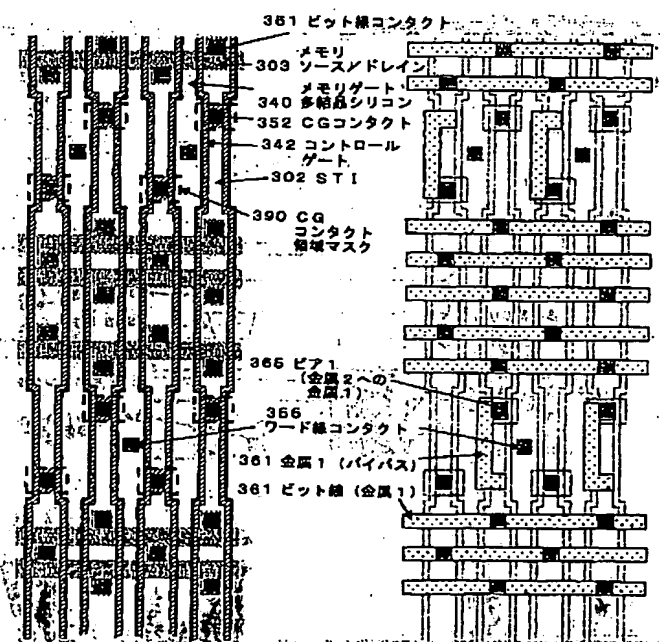
【図9C】



【図10C】

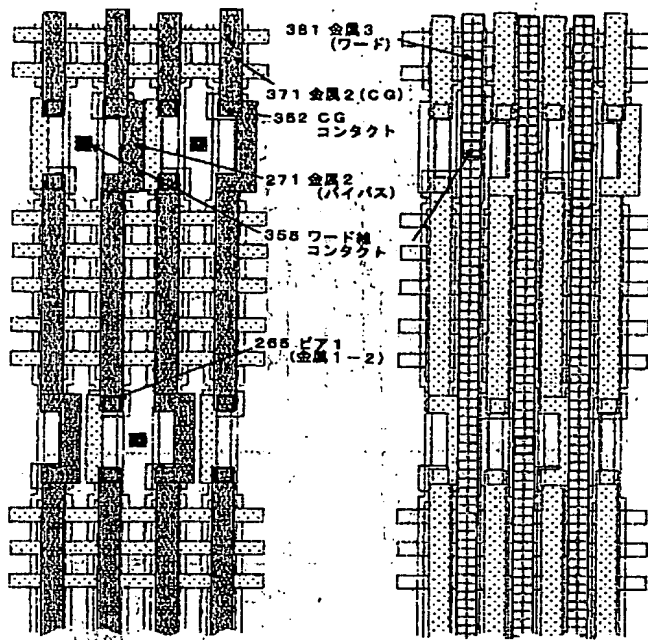


【図11-1】



(22)

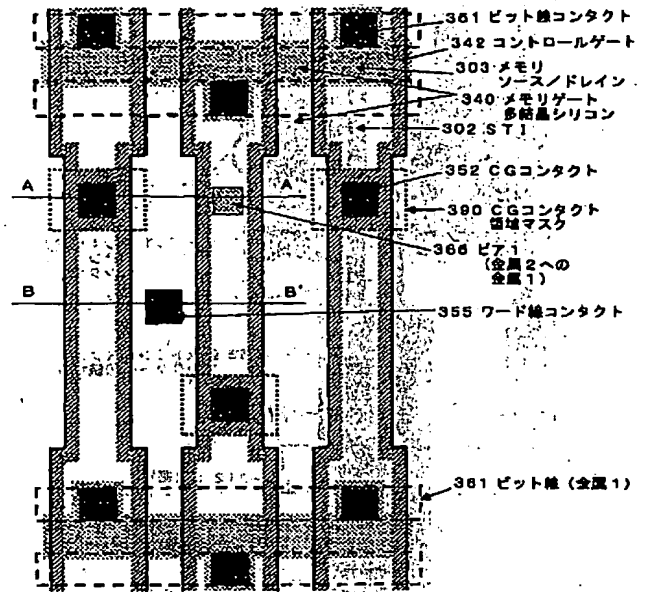
【図11. 2】



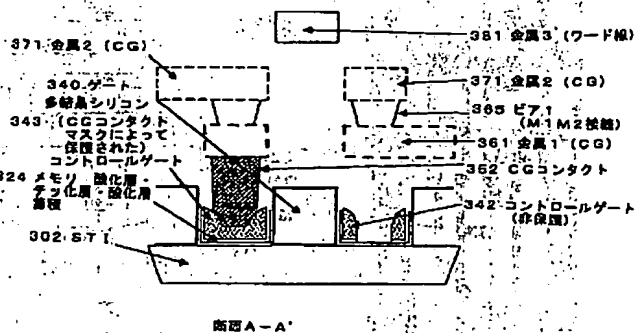
(c)

(d)

【図12A】

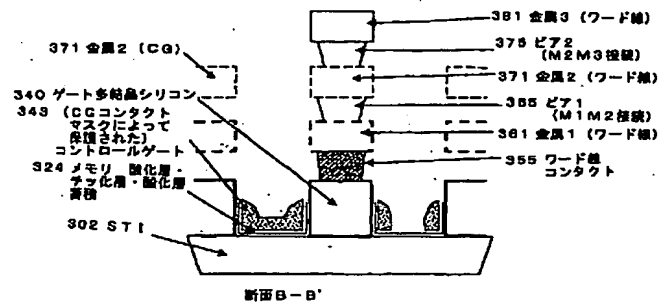


【図12B】



断面A-A'

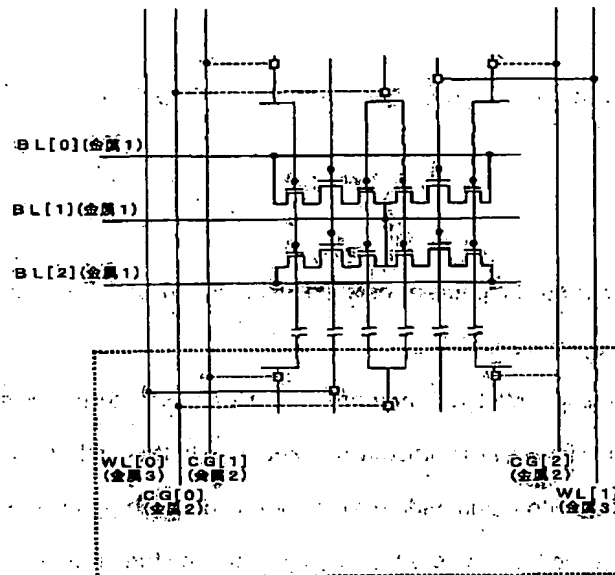
【図12C】



断面B-B'

(23)

【図12D】



フロントページの続き

(72)発明者 斉藤 朋也
 アメリカ合衆国 12603 ニューヨーク州、
 ポーキブシー、チェリー、ヒル ドライブ
 5307

(72)発明者 佐藤 公博
 アメリカ合衆国 12533 ニューヨーク州、
 ホープウェル ジャンクション、ウィマー
 ロード 56

(72)発明者 小椋 正気
 アメリカ合衆国 12590 ニューヨーク州、
 ワッピンガーズ フォールズ、オールド
 ホープウェル ロード 160

F-ターム(参考) 5F033: HH07 JJ19 KK01-KK04 MM15
 QQ37 RR04 UU01 VV16 XX08
 5F083: EP18-EP22 EP32 EP36 EP48
 GA02 JA04 JA19 JA32 JA39
 KA02 KA05 KA18 LA21 MA06
 MA16 MA19 MA20 NA01 PR03
 PR36
 5F101: BA45 BB04 BD22 BH09 BH14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.